

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-306382

(P2000-306382A)

(43)公開日 平成12年11月2日 (2000.11.2)

(51) Int.Cl.
G 11 C 11/409
11/417
16/06
H 01 L 27/108
21/8242

識別記号

F I
G 11 C 11/34
17/00
H 01 L 27/10
H 03 K 19/00

テ-マコト(参考)
3 5 4 P 5 B 0 1 5
3 0 5 5 B 0 2 4
6 3 6 A 5 B 0 2 5
6 8 1 F 5 F 0 8 3
1 0 1 K 5 J 0 5 6

審査請求 未請求 請求項の数21 O.L (全30頁) 最終頁に続く

(21)出願番号 特願平11-210270

(22)出願日 平成11年7月26日 (1999.7.26)

(31)優先権主張番号 特願平11-39053

(32)優先日 平成11年2月17日 (1999.2.17)

(33)優先権主張国 日本 (JP)

(71)出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233169

株式会社日立超エル・エス・アイ・システムズ
東京都小平市上水本町5丁目22番1号

(72)発明者 阪田 健

東京都国分寺市東恋ヶ窓一丁目280番地
株式会社日立製作所中央研究所内

(74)代理人 100081938

弁理士 德若 光政

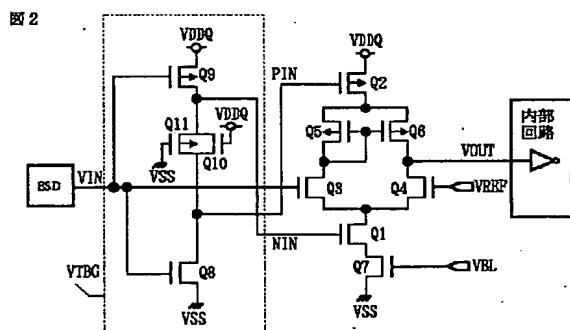
最終頁に続く

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【課題】 入力回路の簡素化と製品管理の取り扱いを簡便にしつつ、実質的な低消費電力化及び素子の微細化に適合して安定した入出力伝達特性を実現できる入力回路を備えた半導体集積回路装置を提供する。

【解決手段】 外部端子から供給される入力信号を受けた差動増幅回路に第1と第2の動作電圧を第1と第2のスイッチMOSFETを介して供給するようにし、バイアス電圧発生回路により上記入力信号が上記第1と第2の動作電圧の中心電圧付近にあるときに上記第1と第2スイッチMOSFETをオン状態にし、その入力信号が継続的に一定期間上記第1電圧又は第2電圧にあるときには、それに対応した出力信号を形成すべく上記第1又は第2スイッチMOSFETのいずれか一方をオン状態に他方をオフ状態にする制御電圧を形成し、上記第1動作電圧と第2動作電圧に対応した第1振幅の入力信号と、上記第1動作電圧と第2動作電圧の間の所定の中間電圧に対応した第2振幅の入力信号の双方の供給を可能とする。



1

【特許請求の範囲】

【請求項1】 外部端子から供給される入力信号を受ける差動增幅回路と、
上記差動增幅回路に第1の動作電圧を供給する第1スイッチMOSFETと、
上記差動增幅回路に第2の動作電圧を供給する第2スイッチMOSFETと、
上記入力信号を受け、その入力信号が上記第1と第2の動作電圧の中心電圧付近にあるときに上記第1と第2スイッチMOSFETをオン状態にし、その入力信号が所定期間上記第1電圧又は第2電圧にあるときには、それに対応した出力信号を形成すべく上記第1又は第2スイッチMOSFETのいずれか一方をオン状態に他方をオフ状態にする制御電圧を発生するバイアス電圧発生回路とからなる入力回路を備え、
上記第1動作電圧と第2動作電圧に対応した第1振幅の入力信号と、上記第1動作電圧と第2動作電圧の間の所定の中間電圧に対応した第2振幅の入力信号の双方の供給を可能にしてなることを特徴とする半導体集積回路装置。

【請求項2】 請求項1において、
上記差動增幅回路は、

上記入力信号とそのロジクスレッシュホールド電圧に対応した基準電圧とを受ける第1導電型の差動MOSFETと、
上記差動MOSFETのドレイン側に設けられ、電流ミラー形態にされた第2導電型の負荷MOSFETと、
上記差動MOSFETの共通化されたソース側に設けられ、ゲートに定電圧が供給される第1導電型の定電流MOSFETから構成されることを特徴とする半導体集積回路装置。

【請求項3】 請求項2において、
上記第2のスイッチMOSFETは、上記第2導電型の負荷MOSFETに接続されてなる第2導電型のMOSFETにより構成され、
上記第1のスイッチMOSFETは、上記第1導電型の定電流MOSFETに接続されてなる第1導電型のMOSFETにより構成されることを特徴とする半導体集積回路装置。

【請求項4】 請求項1ないし請求項3のいずれかにおいて、
上記バイアス電圧発生回路は、

上記入力信号がゲートに供給され、ソースに上記第1動作電圧が供給された第1導電型の第3MOSFETと、
上記入力信号がゲートに供給され、ソースに上記第2動作電圧が供給された第2導電型の第4MOSFETと、
上記第3MOSFETのドレインと第4MOSFETのドレインとの間に設けられた高抵抗手段とかなりり、
上記第3MOSFETのドレインから上記第2スイッチMOSFETのゲートに供給される制御電圧を出力し、

2

上記第4MOSFETのドレインから上記第1スイッチMOSFETのゲートに供給される制御電圧を出力してなることを特徴とする半導体集積回路装置。

【請求項5】 請求項4において、
上記高抵抗手段は、ゲートにそれぞれをオン状態にさせる動作電圧が与えられ、並列形態にされた第1導電型と第2導電型の2つのMOSFETから構成されることを特徴とする半導体集積回路装置。

【請求項6】 請求項1ないし請求項3のいずれかにおいて、

上記バイアス電圧発生回路は、

上記入力信号がゲートに供給され、ソースに上記第1動作電圧が供給された第1導電型の第3MOSFETと、
上記入力信号がゲートに供給され、ソースに上記第2動作電圧が供給された第2導電型の第4MOSFETと、
上記第3MOSFETのドレインと第4MOSFETのドレインとの間に設けられた第1と第2高抵抗手段とかなりり、
上記第1と第2高抵抗手段の接続点から上記第1と2スイッチMOSFETのゲートに供給される制御電圧を出力してなることを特徴とする半導体集積回路装置。

【請求項7】 請求項1ないし請求項3のいずれかにおいて、
上記バイアス電圧発生回路は、

上記入力信号がゲートに供給され、ソースに上記第1動作電圧が供給された第1導電型の第3MOSFETと、
上記入力信号がゲートに供給され、ソースに上記第2動作電圧が供給された第2導電型の高抵抗素子を構成するMOSFETと、

上記入力信号がゲートに供給され、ソースに上記第2動作電圧が供給された第2導電型の第4MOSFETと、
上記入力信号がゲートに供給され、ソースに上記第1動作電圧が供給された第1導電型の高抵抗素子を構成するMOSFETと、

上記第3MOSFETのドレインから上記第2スイッチMOSFETのゲートに供給される制御電圧を出力し、
上記第4MOSFETのドレインから上記第1スイッチMOSFETのゲートに供給される制御電圧を出力してなることを特徴とする半導体集積回路装置。

【請求項8】 請求項5において、

上記入力信号は、クロック信号とそれに対応して供給される複数からなる入力信号からなり、
上記クロック信号を除く入力信号を受ける複数の入力回路のそれぞれは、

上記第3MOSFETと第4MOSFETの間に設けられた高抵抗素子を構成する並列形態の2つのMOSFETと、上記定電流MOSFETとを上記外部入力信号の供給が停止される所定の動作モードにおいて強制的にオフ状態にする回路と、差動增幅回路の出力信号を第1動作電圧又は第2動作電圧に固定するMOSFETとを更

50

に備えてなることを特徴とする半導体集積回路装置。

【請求項9】 請求項1ないし請求項7のいずれかにおいて、

上記半導体集積回路装置は、

複数のワード線及びそれらと交差するように配置された複数のビット線と、

上記複数のワード線と複数のビット線との所定の交点に設けられ、対応するワード線にゲートが接続されたアドレス選択MOSFETと、対応するビット線と所定の電位との間に上記アドレス選択MOSFETを介して接続される記憶キャバシタとからなるメモリセルを備えたダイナミック型RAMを構成するものであることを特徴とする半導体集積回路装置。

【請求項10】 請求項8において、

上記半導体集積回路装置は、

複数のワード線及びそれらと交差するように配置された複数のビット線と、

上記複数のワード線と複数のビット線との所定の交点に設けられ、対応するワード線にゲートが接続されたアドレス選択MOSFETと、対応するビット線と所定の電位との間に上記アドレス選択MOSFETを介して接続される記憶キャバシタとからなるメモリセルを備えたダイナミック型RAMを構成するものであり、

上記データ信号を受ける入力回路は、上記第1と第2スイッチMOSFETが省略されるものであることを特徴とする半導体集積回路装置。

【請求項11】 第1入力端子及び第1出力端子を備えた差動增幅回路と、

上記差動增幅回路に第1電源電圧を供給する第1スイッチMOSFETと、

上記差動增幅回路に第12源電圧を供給する第2スイッチMOSFETと、

上記第1入力端子に供給される入力信号に応じて、上記第1スイッチMOSFET及び第2スイッチMOSFETを制御する制御回路とを備え、

上記第1電源電圧に対応するハイレベル信号及び上記第2電源電圧に対応するロウレベル信号のいずれかが上記第1入力端子に供給されることにより、それぞれ対応する出力信号が上記第1出力端子から得られ、

上記ハイレベル信号が上記第1入力端子に供給されることに応じて、上記第1スイッチMOSFETと上記第2スイッチMOSFETの一方がオン状態、他方がオフ状態とされ、

上記ロウレベル信号が上記第1入力端子に供給されることに応じて、上記第1スイッチMOSFETと上記第2スイッチMOSFETの上記一方がオフ状態、他方がオン状態とされ、

上記制御回路は、それぞれのゲートが接続され、かつそれぞれのドレインが接続されたPチャンネル型出力MOSFETとNチャンネル型出力MOSFETを備え、上記ハイレベル信号及び上記ロウレベル信号のいずれかが上記ゲートに供給されることにより、それぞれ対応する

記ハイレベル信号及び上記ロウレベル信号のいずれかが上記ゲートに供給されることにより、それぞれ対応する一方の出力MOSFETがオン状態、他方の出力MOSFETがオフ状態とされることを特徴とする半導体集積回路装置。

【請求項12】 第1入力端子及び第1出力端子を備えた差動增幅回路と、

上記差動增幅回路に第1電源電圧を供給する第1スイッチMOSFETと、

上記差動增幅回路に第2電源電圧を供給する第2スイッチMOSFETと、

上記第1入力端子に供給される入力信号に応じて、上記第1スイッチMOSFET及び第2スイッチMOSFETを制御する制御回路とを備え、

上記第1電源電圧に対応する第1ハイレベル信号及び上記第2電源電圧に対応する第1ロウレベル信号からなる第1振幅信号が上記第1入力端子に供給されることにより、それぞれ対応する出力信号が上記第1出力端子から得られ、

上記第1ハイレベル信号が上記第1入力端子に供給されることに応じて、上記第1スイッチMOSFETと上記第2スイッチMOSFETの一方がオン状態、他方がオフ状態とされ、

上記第1ロウレベル信号が上記第1入力端子に供給されることに応じて、上記第1スイッチMOSFETと上記第2スイッチMOSFETの上記一方がオフ状態、他方がオン状態とされ、

上記第1ハイレベル信号より低い第2ハイレベル信号と上記第1ロウレベル信号より高い第2ロウレベル信号からなる第2振幅信号が上記第1入力端子に供給されることに応じて、上記第1スイッチMOSFETと上記第2スイッチMOSFETが共にオン状態とされることを特徴とする半導体集積回路装置。

【請求項13】 請求項12において、
上記制御回路は、それぞれのゲートが接続され、かつそれぞれのドレインが接続されたPチャンネル型出力MOSFETとNチャンネル型出力MOSFETを備え、上記ハイレベル信号及び上記ロウレベル信号のいずれかが上記ゲートに供給されることにより、それぞれ対応する

一方の出力MOSFETがオン状態、他方の出力MOSFETがオフ状態とされることを特徴とする半導体集積回路装置。

【請求項14】 第1導電型の差動MOSFETと、その共通ソースに設けられて動作電流を形成する第1導電型の第1MOSFETとを含む第1差動増幅回路と、
第2導電型の差動MOSFETと、その共通ソースに設けられて動作電流を形成する第2導電型の第2MOSFETとを含む第2差動増幅回路と、

出力信号を形成するインバータ回路とを備え、
上記第1と第2差動増幅回路の一方の入力端子に外部端

子から入力信号を供給し、上記第1と第2差動増幅回路の他方の入力端子に上記入力信号のハイレベルとロウレベルのほぼ中間電位にされた基準電圧を供給し、上記第1と第2差動増幅回路の互いに同相とされた出力信号を合成して上記インバータ回路の入力端子に供給してなる入力回路を含むことを特徴とする半導体集積回路装置。

【請求項15】 請求項14において、上記第1差動増幅回路は、上記差動MOSFETのドレインに第2導電型からなる電流ミラー形態の第1負荷回路が設けられ、

上記第2差動増幅回路は、上記差動MOSFETのドレインに第1導電型からなる電流ミラー形態の第2負荷回路が設けられ、

上記第1と第2負荷回路の出力端子が接続されてなることを特徴とする半導体集積回路装置。

【請求項16】 請求項15において、上記第1の負荷回路と第1動作電圧との間には、第2導電型の第3MOSFETが設けられ、

上記第2の負荷回路と第2動作電圧との間には、第1導電型の第4MOSFETが設けられ、

パワーダウン信号により、上記第1ないし第4MOSFETのいずれかがオフ状態にされ、上記出力端子は上記パワーダウン信号によりオン状態にされるMOSFETによって上記第1又は第2動作電圧に固定されることを特徴とする半導体集積回路装置。

【請求項17】 請求項16において、上記第1と第2MOSFETのゲートには、上記インバータ回路の出力信号が帰還され、

上記パワーダウン信号により固定電位にされた出力端子の信号を受けるインバータ回路の出力信号によりオン状態にされる第1又は第2MOSFETに対応された上記第3又は第4MOSFETのいずれかは、上記パワーダウン信号によりオフ状態にされるものであることを特徴とする半導体集積回路装置。

【請求項18】 請求項16において、上記入力信号を受け、その信号レベルが上記第1と第2の電源電圧の中心電圧付近にあるとき上記第1と第2MOSFETをオン状態にし、その入力信号が所定期間に上記第1電圧又は第2電圧にあるときには、それに対応した出力信号を形成すべく上記第1又は第2MOSFETのいずれか一方をオン状態に他方をオフ状態にする制御電圧を発生するバイアス電圧発生回路を更に備えてなり、

上記第1動作電圧と第2動作電圧に対応した比較的大きな信号振幅とされた第1振幅の入力信号と、上記第1動作電圧と第2動作電圧の間の所定の中間電圧に対応した比較的小さな第2振幅の入力信号の双方の入力信号の供給を可能にしてなることを特徴とする半導体集積回路装置。

【請求項19】 請求項18において、

上記第1と第2MOSFETは、上記第1振幅の入力信号が供給される第1動作モードに対応したMOSFETと、上記第2振幅の入力信号が供給される第2動作モードに対応したMOSFETとの並列回路を含み、上記第1動作モードに対応したMOSFETのゲートには、上記バイアス電圧発生回路で形成された制御信号が供給され、

上記第2動作モードに対応したMOSFETのゲートには、上記インバータ回路の出力信号が帰還されるものであることを特徴とする半導体集積回路装置。

【請求項20】 請求項19において、

上記バイアス電圧発生回路は、

上記入力信号がゲートに供給され、ソースに上記第1動作電圧が供給された第2導電型の第5MOSFETと、上記入力信号がゲートに供給され、ソースに上記第2動作電圧が供給された第1導電型の第6MOSFETと、上記第5MOSFETのドレインと第6MOSFETのドレインとの間に設けられた第1と第2高抵抗手段とかなり、

上記第1と第2高抵抗手段の接続点から上記制御電圧を形成してなることを特徴とする半導体集積回路装置。

【請求項21】 請求項14から請求項20のいずれかにおいて、

上記半導体集積回路装置は、

複数のワード線及びそれらと交差するように配置された複数のビット線と、

上記複数のワード線と複数のビット線との所定の交点に設けられ、対応するワード線にゲートが接続されたアドレス選択MOSFETと、対応するビット線と所定の電位との間に上記アドレス選択MOSFETを介して接続される記憶キャッシュとかなるメモリセルを備えたダイナミック型RAMを構成するものであることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体集積回路装置に関し、主としてダイナミック型RAM(ランダム・アクセス・メモリ)のような汎用半導体集積回路装置の入力回路に利用して有効な技術に関するものである。

【0002】

【従来の技術】本発明を成した後の調査によって、後で説明する本発明の入力回路に関連すると思われるものとして、日本電気株式会社、1997年発行「NEC技報」第50巻No.3、第23頁～第27頁(64MビットDRAM第3世代版の開発)、特開平6-104726号公報、特開平7-143184号公報にそれぞれ記載の発明の存在が本発明者等に報告された。上記文献に記載の発明は、いずれにおいても入力回路に差動アンプを用いたものが認められるが、後で説明する本願発明

のような入力回路の動作方法に関しての記載は一切見当たらない。

【0003】

【発明が解決しようとする課題】ダイナミック型RAM等の半導体集積回路装置に入力される入力信号の電圧レベルは、SSTL、LVTTL、LVC MOS等のようなインターフェイス毎に規格が設けられている。例えば、LVTTLやLVC MOSインターフェイスのように信号レベルが動作電圧に対応したフル振幅のものではCMOSインバータ回路等からなる入力バッファが用いられる。これに対して、SSTLのように動作電圧の中心電圧を中心とした低振幅のものでは差動増幅回路が用いられる。

【0004】上記いずれのインターフェイスにも適用できるよう2種類の入力バッファを形成しておいて、メタルオプションによりいずれかを最終的に決定することにより大半の半導体製造プロセスを共通にして量産性を高めることができる。しかし、この場合には、不必要的回路を余分に形成することとなって集積度が低下してしまうとともに、メタルオプションによりいずれかのインターフェイスの選択した後は、それぞれを異なる製品として管理する必要がある。

【0005】本願発明者においては、回路の簡素化や製品管理を容易にするためにLVTTLやLVC MOSのよう比較的大きな信号振幅から上記SSTLのように中点電圧付近で変化する低振幅信号までの入力信号を同一の入力回路で受けようすることを考えた。このような入力回路の開発に当たり、上記のような異なる入力信号に対応して安定的に内部信号を形成することに加えて、LVTTLやLVC MOSのインターフェイスと同等に半導体集積回路装置が何も動作を行わないとき、入力回路に動作電流が流れないようにするような工夫を行うに至った。また、上記LVTTLやLVC MOSのような入力回路において、素子の微細化に伴う低しきい値電圧化に適合し、低消費電力化と安定した入出力伝達特性を実現することを考えた。

【0006】この発明の目的は、入力回路の簡素化と製品管理の取り扱いを簡便にしつつ、実質的な低消費電力化を実現した半導体集積回路装置を提供することにある。この発明の他の目的は、素子の微細化に適合して安定した入出力伝達特性を実現できる入力回路を備えた半導体集積回路装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、外部端子から供給される入力信号を受ける差動増幅回路に第1と第2の動作電圧を第1と第2のスイッチMOSFETを介して供給するよ

うにし、バイアス電圧発生回路により上記入力信号が上記第1と第2の動作電圧の中心電圧付近にあるときに上記第1と第2スイッチMOSFETをオン状態にし、その入力信号が継続的に一定期間上記第1電圧又は第2電圧にあるときには、それに対応した出力信号を形成すべく上記第1又は第2スイッチMOSFETのいずれか一方をオン状態に他方をオフ状態にする制御電圧を形成し、上記第1動作電圧と第2動作電圧に対応した第1振幅の入力信号と、上記第1動作電圧と第2動作電圧の間の所定の中間電圧に対応した第2振幅の入力信号の双方の供給を可能とする入力回路を構成する。

【0008】本願において開示される発明のうち他の代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、外部端子から供給される入力信号を受ける入力回路として、第1導電型の差動MOSFETと、その共通ソースに設けられて動作電流を形成する第1導電型の第1MOSFETとを含む第1差動増幅回路と、第2導電型の差動MOSFET、その共通ソースに設けられて動作電流を形成する第2導電型の第2MOSFETとを含む第2差動増幅回路及び出力信号を形成するインバータ回路とを組み合わせ、上記第1と第2差動増幅回路の一方の入力端子に外部端子から入力信号を供給し、上記第1と第2差動増幅回路の他方の入力端子に上記入力信号のハイレベルとロウレベルのほぼ中間電位にされた基準電圧を供給し、上記第1と第2差動増幅回路の互いに同相とされた出力信号を合成して上記インバータ回路の入力端子に供給する。

【0009】

【発明の実施の形態】図1には、この発明に係る半導体集積回路装置に設けられる入力回路の一実施例の構成図が示されている。この実施例の入力回路は、差動増幅回路により入力信号を増幅して内部信号を形成する。そして、その動作電流を低減させるために、上記差動増幅回路に第1の動作電圧としての回路の接地電位VSSと、第2の動作電圧としての電源電圧VDDQとをそれぞれ供給するNチャンネル型MOSFETQ1とPチャンネル型MOSFETQ2を設け、上記入力信号を受けるバイアス電圧発生回路により上記MOSFETQ1とQ2のゲートが接続されるノードNINとPINに供給する制御電圧を形成する。

【0010】外部端子に接続されるパッドに伝えられた入力信号は、静電保護回路ESDを通して上記バイアス電圧発生回路と差動増幅回路の入力に伝えられる。上記バイアス電圧発生回路は、入力信号の電圧レベルに対応し、入力信号が上記電源電圧VDDQ又は回路の接地電位VSSのときには、それに対応した内部信号を形成すべく上記Nチャンネル型MOSFETQ1又はQ2のいずれか一方をオン状態に他方をオフ状態にする制御電圧NINとPINを形成し、入力信号が上記電源電圧VDDQの半分の中心電圧付近で変化する低振幅であるとき

には、上記Nチャンネル型MOSFET Q1又はQ2を共にオン状態にするようノードNINとPINに供給する制御電圧を形成する。

【0011】この実施例のバイアス電圧発生回路は、上記のようにLV TTLやLVC MOSのように上記電源電圧VDDQ又は回路の接地電位VSSのような大振幅レベルか、SSTLのように上記電源電圧VDDQの半分の中心電圧付近で変化する低振幅かのいずれかを検出し、それぞれに適応したノードNINとPINに供給する制御電圧（バイアス電圧）を形成するものであり、いわゆる入力電圧トラッキング型バイアス電圧発生回路とされる。

【0012】入力回路をインターフェース毎に区別する理由は以下の通りである。入力バッファの作成上のルールは、入力信号がVHmin（入力信号をハイレベルVHと判定する最低電圧）以上のとき必ずハイレベルと判定し、VLmax（入力信号をロウレベルVLと判定する最大電圧）以下のとき必ずロウレベルとと判定できることである。このVHminとVLmaxの大きさは上記各インターフェースごとに規定されていて、SSTL、LV TTL、LVC MOSのなかではSSTLの場合に最もその電位差が小さい。

【0013】上記SSTLにCMOSインバータ回路を用いる場合、その論理しきい値はSSTLのVHminとVLmaxの間になくてはならない。しかし、CMOSインバータ回路の論理しきい値は、プロセスのばらつきによって変動を受けやすく、現在の技術ではその論理しきい値をSSTLのVHminとVLmax内に収めておくことが困難なのである。この技術的問題は、プロセスの微細化が進むに連れてさらに困難さを増す。そこで、差動増幅回路により入力信号の判定を行うようとする。一方、上記LV TTLやLVC MOSに差動増幅回路を用いた場合、常時流れる貫通電流が問題となる。つまり、従来のCMOSインバータ回路等のCMOS回路を用いた場合には、アイドルスタンバイ時など入力電圧がVDDQかVSSに固定された場合には動作電流が流れなくなるという利点を失うことになる。

【0014】この実施例の全インターフェース共用型入力回路の特徴は、新たに考案した入力電圧トラッキング型バイアス電圧発生回路が、上記差動増幅回路の貫通電流及び自分自身での貫通電流も制御可能にすることである。動作原理の詳細は後で述べることとして、ここではその概要は、次の通りである。本発明に係る入力電圧トラッキング型バイアス電圧発生回路を用いると、ノードPIN、NINに対し図3に示すような静特性得ることができる。

【0015】よって、小振幅信号（最大値VHmin、最小値VLmax）が入ってきた場合にはノードPINのレベルがロウレベルに、ノードNINのレベルがハイレベルとなってPチャンネル型MOSFET Q2とNチ

ヤンネル型MOSFET Q1を共にオン状態として、差動増幅回路を動作状態にして入力信号の増幅作用を行わせる。

【0016】また、入力信号がVDDQに固定された場合には、ノードPIN、NINが両方ともVSSに固定され、ノードNINのロウレベルによりNチャンネル型MOSFET Q1がオフ状態となって差動増幅回路の増幅動作が停止する。入力信号がVSSに固定されたときも、ノートPINとNINが共にVDDQに固定され、ノードPINのハイレベルによりPチャンネル型MOSFET Q2がオフ状態となって差動増幅回路の増幅動作が停止する。

【0017】本発明の入力電圧トラッキング型バイアス電圧発生回路は、後述するように差動増幅回路と共に自身の電流もオフできるため、入力バッファ全体の消費電流を完全にオフできる。この特性は、前記従来のCMOSインバータ回路等を用いたLV TTLやLVC MOSに対応した入力回路の特性と同等である。以上のように、本発明入力バッファは差動増幅回路型入力回路を用いつつ、CMOSインバータ回路のような入力回路と同等の特性を備えており、SSTLからLV TTLやLVC MOSのような全てのインターフェースに対して共通に用いることができる。

【0018】図2には、この発明に係る入力回路の一実施例の回路図が示されている。差動増幅回路は、ゲートに入力電圧VINと基準電圧VREFがそれぞれに供給されたNチャンネル型の差動MOSFET Q3とQ4のドレイン側に電流ミラー形態にされたPチャンネル型の負荷MOSFET Q5とQ6を接続し、共通化されたソース側に前記Nチャンネル型のスイッチMOSFET Q1を介してNチャンネル型の電流源MOSFET Q7を設けることにより構成される。上記電流源MOSFET Q7のソースは、回路の接地電位VSSが与えられ、ゲートに定電圧VBLが供給される。そして、上記電流ミラー形態のPチャンネル型MOSFET Q5とQ6の共通化されたソースと電源電圧VDDQとの間には、前記Pチャンネル型のスイッチMOSFET Q2が設けられる。

【0019】入力電圧トラッキング型バイアス電圧発生回路VTBGは、上記入力信号VINがゲートに供給され、ソースに回路の接地電位VSS及び電源電圧VDDQにそれぞれ供給されたNチャンネル型MOSFET Q8とPチャンネル型MOSFET Q9と、上記MOSFET Q8とQ9のドレイン間に高抵抗素子として作用する並列形態のNチャンネル型MOSFET Q10とPチャンネル型MOSFET Q11から構成される。上記Nチャンネル型MOSFET Q10のゲートには、定的に電源電圧VDDQが供給され、Pチャンネル型MOSFET Q11のゲートには定的に回路の接地電位VSSが与えられて抵抗素子として動作させられる。そし

て、Nチャンネル型MOSFETQ8のドレインから前記Pチャンネル型MOSFETQ2のゲートに伝えられるノードPINのバイアス電圧が outputされ、Nチャンネル型MOSFETQ9のドレインから前記Nチャンネル型MOSFETQ1のゲートに伝えられるノードNINのバイアス電圧が outputされる。

【0020】上記入力電圧トラッキング型バイアス電圧発生回路VTBGは、入力電圧VINを受ける駆動用のNチャンネル型MOSFETQ8とPチャンネル型MOSFETQ9と、そのドレインに設けられた高抵抗負荷からなるインバータ回路の組み合わせと見做すことができる。このため、Nチャンネル型MOSFETQ8と高抵抗負荷回路からなるインバータ回路での入出力伝達特性は、図5に示したように入力電圧VINがNチャンネル型MOSFETQ8のしきい値電圧以上になるとMOSFETQ8がオン状態となり、ドレインからノードPINに伝える制御電圧をVDDQから急峻に回路の接地電位VSSのようなロウレベルに低下させる。

【0021】Pチャンネル型MOSFETQ9と高抵抗負荷回路からなるインバータ回路での入出力伝達特性は、図3に示したように入力電圧VINとVDDQとの差分がPチャンネル型MOSFETQ9のソースとゲート間に印加されるから、上記差電圧がPチャンネル型MOSFETQ9のしきい値電圧以下になるとMOSFETQ9がオフ状態となり、ドレインからノードNINに伝える制御電圧をVDDQから回路の接地電位VSSのようなロウレベルに低下させる。このように入力電圧トラッキング型バイアス電圧発生回路VTBGの中のバスゲートを高抵抗素子として、ノードPINとNINに対し上記図3のような静特性が得られる。

【0022】したがって、SSTLのような小振幅の信号を入力した場合、ノードPINのロウレベルとノードNINのハイレベルによりスイッチMOSFETQ2とQ1がオン状態となって、差動增幅回路は常時動作電流が流れるので入力信号VINとSSTLのロジックスレッショルド電圧に対応した基準電圧（参照電圧）VREFの差電圧を入力とする増幅作用を行う。

【0023】また入力信号VINがフル振幅（VDDQ-VSS）で、例えばVDDQに固定されている場合、ノードPIN、NIN共にVSSとなり、Pチャンネル型MOSFETQ2はオン状態に固定され、Nチャンネル型MOSFETQ1がオフ状態になるため差動增幅回路は動作を停止する。このとき、入力信号VINのハイレベルにより、上記Nチャンネル型MOSFETQ1がオフ状態になるまでの過渡状態では、差動MOSFETQ3がオン状態となってMOSFETQ5とQ6をオン状態にしているので、上記Pチャンネル型MOSFETQ2のオン状態によって出力VOUTは電源電圧VDDQのようなハイレベルを出力させることができる。

【0024】上記高抵抗負荷素子としてNチャンネル型

MOSFETQ10とPチャンネル型MOSFETQ11を並列接続した場合には、MOSFETのしきい値電圧によるレベル損失がなく、ノードPINを電源電圧VDDQのようなハイレベルに、ノードNINを回路の接地電位VSSのようなロウレベルまで変化させることができる。これにより、入力信号VINがフル振幅動作時のときにVDDQ又はVSSに固定されたときスイッチMOSFETQ1又はQ2を確実にオフ状態にすることができるから差動增幅回路での消費電流を低減させることができる。

【0025】上記ノードNINのロウレベルによりNチャンネル型のスイッチMOSFETQ1がオフ状態になると差動增幅回路は増幅動作を停止するが、出力信号VOUTは上記ハイレベルに維持される。このとき入力電圧トラッキング型バイアス電圧発生回路VTBGのPチャンネル型MOSFETQ9もオフ状態となるため、そこに貫通電電流を流さなくなる。したがって、差動增幅回路及びバイアス電圧発生回路からなる入力回路全体の消費電流は理論的にはゼロとなる。

【0026】これはダイナミック型RAMのような半導体集積回路装置のアイドルスタンバイ時にアドレス、コマンド、データ系の入力回路の電流が低減できることを意味している。さらに、入力信号がVDDQに固定されている状態からVSSに立ち下がる場合には、図4のシミュレーション結果により形成された波形図に示すように、それまでVSSに引き下げられていたノードNINのみが速やかにVDDQに引き上げられ、スイッチMOSFETQ1がオン状態となって直ちに差動增幅回路の増幅動作が再開される。

【0027】つまり、入力信号VINがVDDQに固定された状態から、LVTTLのような入力信号に対応してロウレベルに変化すると、そのレベルが中心電圧VREFに到達する前に、ノードNINがハイレベルに立ち上がって差動增幅回路を動作状態にするので、入力信号VINが基準電圧VREFよりも低下すると、それに対応して出力信号VOUTがハイレベルからロウレベルに変化するものとなり、LVTTLインターフェイスと同等の出力信号OUTを形成することができる。入力信号がVSSからVDDQに立ち上がる場合も同様の原理で差動增幅回路を非動作状態から上記のような増幅動作に切り替えることができる。

【0028】本発明回路はSSTLのような小振幅入力に対して安定に動作するほか、フル振幅入力で入力信号がVDDQ、VSSに固定された場合には消費電流を0にするというCMOS型入力バッファの特性も有しており、全インターフェイスに対して共通に用いるようにすることができる。

【0029】図2では、差動MOSFETQ3、Q4のようにNチャンネル型MOSFET受けの差動增幅回路を用いた例を示したが、Pチャンネル型MOSFET受

けの差動増幅回路を用いてもよい。一般的にNMOS受けの差動増幅回路では、出力振幅の最大値、最小値が共に電源電圧に依存して大きくなる。そのとき、振幅の最小値は次段インバータ回路の動作電圧の中間電位側にシフトすることとなるため、次段インバータ回路に貫通電流が大きくなる。それに対し、Pチャンネル型MOSFET受けの差動増幅回路では最小値がほぼVSS一定でため、次段インバータ回路の貫通電流を抑えることができる。

【0030】図5には、この発明に係る入力回路の動作の一例を示す波形図が示されている。図5(A)には、入力信号VINがSSTLのような小振幅信号とされる場合が示され、図5(B)には入力信号VINが電源電圧VDDQと接地電位VSSのような大振幅とされるLV-TTL(LVCMOS)の場合が示されている。

【0031】(A)において、入力信号がVHminとVLmaxの範囲で変化する場合には、ノードPINがロウレベルに固定され、ノードNINがハイレベルに固定されて上記MOSFET Q2とQ1がオン状態を維持する。それ故、差動増幅回路には、定電流MOSFET Q7で形成される動作電流が流れ、上記入力信号VINを増幅して電源電圧VDDQと回路の接地電位VSSに対応した大振幅の出力信号VOUTに増幅される。厳密には、上記差動増幅回路の出力信号VOUTは、電源電圧VDDQ側と回路の接地電位VSS側にそれぞれ差動増幅回路の動作に必要な残り電圧が発生するので、それをCMOSインバータ回路に供給して増幅して同図のようなCMOSレベルに変換される。

【0032】(A)において、入力信号VINがVHminとVLmaxの範囲で変化するときには、バイアス電圧発生回路によりノードPINがロウレベルに、ノードNINがハイレベルに固定されるため、差動増幅回路のPチャンネル型のスイッチMOSFET Q2とNチャンネル型のスイッチMOSFET Q1が共にオン状態にされる。したがって、差動増幅回路は、電流源MOSFET Q7で形成された定電流により常時増幅動作を行う。このため、入力信号VINが基準電圧VREFより高いときには出力信号OUTをハイレベルにし、入力信号VINが基準電圧VREFより低いときには出力信号OUTをロウレベルにする。

【0033】(B)において、入力信号VINがVDDQとVSSのような大振幅のとき、例えば入力信号VINが回路の接地電位VSSのようなロウレベルにあるとき、ノードPINがハイレベルにされて出力信号VOUTもロウレベルになっている。上記入力信号VINがハイレベルに変化すると、バイアス電圧発生回路のNチャンネル型MOSFET Q8のオン状態により、ノードPINが急峻にロウレベルに変化して、差動増幅回路のPチャンネル型MOSFET Q2をオン状態にして増幅動作を開始するので、かかる入力信号VINのレベルが基

準電圧VREFを超えて高くなると、出力信号VOUTをロウレベルからハイレベルにハイレベルに変化させる。

【0034】上記入力信号VINがハイレベルに安定すると、バイアス電圧発生回路のPチャンネル型MOSFET Q9がオフ状態となって、ノードNINが高抵抗素子としてのMOSFET Q10とQ11を通してロウレベル側に引き抜かれる。これにより、差動増幅回路のNチャンネル型MOSFET Q1がオフ状態にされて、一定時間以上入力信号VINがハイレベルに安定しているとき、差動増幅回路に流れる動作電流をカットして低消費電力モードとする。このとき、バイアス電圧発生回路においても、上記Pチャンネル型MOSFET Q9のオフ状態によって定常的な直流電流がカットされる。

【0035】上記入力信号VINが電源電圧VDDQから回路の接地電位VSSのようなロウレベルに変化すると、Pチャンネル型MOSFET Q9のオン状態によりノードNINがハイレベルにされて、差動増幅回路のNチャンネル型MOSFET Q1をオン状態にするので、かかる入力信号VINのレベルが基準電圧VREFを超えて低下すると、出力信号VOUTをハイレベルからロウレベルに変化させる。そして、上記同様に一定時間以上入力信号VINがロウレベルに安定しているとき、差動増幅回路に流れる動作電流をカットして低消費電力モードとする。このとき、バイアス電圧発生回路においても、上記Nチャンネル型MOSFET Q8のオフ状態によって定常的な直流電流がカットされる。

【0036】図6には、入力電圧トラッキング型バイアス電圧発生回路の他の一実施例の回路図が示されている。この実施例回路では、ノードPINとNINとに独立に入力電圧トラッキング型バイアス電圧発生回路を設けることで、制御を容易にするものである。つまり、MOSFET Q8とQ9が駆動MOSFETとされ、MOSFET Q11とQ10が高抵抗負荷MOSFETとされる。上記高抵抗素子として、図2のように並列接続したバスゲートを用いずに単体で使用できるので、高抵抗にするためにチャンネル長を長くすることなく、短いチャンネル長のMOSで同程度の抵抗値を得ることができる。

【0037】図7には、入力電圧トラッキング型バイアス電圧発生回路の更に他の一実施例の回路図が示されている。この実施例回路では、ノードPINとNINを共通にするものである。小振幅信号入力の場合に差動増幅回路をONさせるために、高抵抗素子としてNチャンネル型MOSFET Q10とPチャンネル型MOSFET Q11をNチャンネル型MOSFET Q8とPチャンネル型MOSFET Q9からなるCMOSインバータ回路の中に組み込み、図9に示すような入出力伝達特性を形成し、ノードPIN、NINを中間電位に保つようにするものである。このようにノードPINとNINとが中

間電位となるため、差動増幅回路をスイッチしているMOSFET Q1とQ2は、フルにオン状態とはならず飽和領域近くで動作しやすくなる。よってCMRRが大きくなると期待される。

【0038】図8には、この発明に係る入力回路の他の一実施例の回路図が示されている。この実施例では、低振幅入力に用いた時における入力回路でのパワーダンウ機能が付加される。ダイナミック型RAMでは、マイクロプロセッサ等の外部装置とのインターフェイスを実現するために上記の入出力回路はそれに対応した外部電源電圧VDDQにより動作させられる。これに対して、内部回路は高集積化のために微細化された素子での耐圧を確保するために、上記外部電源電圧VDDQを降圧して形成された内部電圧VDDで動作させられる。

【0039】このように内部回路が降圧された動作電圧VDDで動作させられる場合、入力回路は、外部入力信号の電圧レベルを上記内部信号レベルに変換するという機能も併せ持つようにされる。もっとも、内部回路はMOS回路で構成されている場合に、その入力インピーダンスは高いから入力回路において格別に信号レベルを低くして内部回路に伝える必要はない。ただし、内部回路においては、上記外部電源電圧VDDQに対応した高い電圧をそのまま供給される入力MOSFETにおいては、それに見合った耐圧を持つようにされる必要がある。

【0040】図示しない内部回路より、パワーダンウ信号PWDが形成される。それ故、パワーダウン信号PWDの信号レベルは、内部電圧VDDに対応したVDD-VSSのような信号レベルとされる。したがって、上記パワーダンウ信号PWDは、次のレベル変換回路によりVDDQに対応した信号レベルに変換される。上記パワーダウン信号PWDは、ゲートに定的に内部電源電圧VDDが供給されたNチャンネル型MOSFET Q12のソースと、ソースに回路の接地電位が与えられたNチャンネル型MOSFET Q13のゲートに供給される。上記MOSFET Q12とQ13のドレインと電源電圧VDDQとの間には、ゲートとドレインとが交差接続されたPチャンネル型MOSFET Q14とQ15が設けられる。

【0041】上記レベル変換回路は、上記信号PWDに対して反転され、かつハイレベルがVDDQにされたパワーダンウ制御信号PWDを形成し、前記高抵抗を構成すNチャンネル型MOSFET Q10のゲートに供給される。また、上記外部電源電圧VDDQで動作するインバータ回路IV1を通して反転されて、前記高抵抗を構成するPチャンネル型MOSFET Q11のゲートに供給される。これにより、内部回路で形成されたパワーダウン信号PWDがハイレベルにされると、上記レベル変換回路の出力信号PWDがロウレベルとなり、上記Nチャンネル型MOSFET Q10をオフ状態にする。

上記レベル変換回路の出力信号PWDがロウレベルに対応して、インバータ回路IV1の出力信号が外部電源電圧VDDQに対応したハイレベルとなり、上記Pチャンネル型MOSFET Q11をオフ状態にする。

【0042】これにより、半導体集積回路装置がパワーダウンモードにされるとき、入力回路にSSTLのような小振幅の入力信号が供給された状態においても、上記バイアス電圧発生回路には直流電流が流れなくなる。そして、上記パワーダンウ制御信号PWDは、Pチャンネル型MOSFET Q19をオン状態にして、出力信号を形成するインバータ回路IV3の入力信号を外部電源電圧VDDQに固定するので、内部回路に伝えられる入力信号は、外部端子から供給される入力信号VINには無関係にロウレベルの信号が伝えられる。

【0043】上記のようなレベル変換回路を通して形成されたパワーダウン制御信号PWDによるバイアス電圧発生回路と上記出力回路の制御動作に加えて、差動増幅回路も動作電流が停止させられる。つまり、電流源としてのMOSFET Q7のゲートには、Pチャンネル型

MOSFET Q18とNチャンネル型MOSFET Q17からなるCMOSスイッチを通して定電圧VBLが伝えられる。このCMOSスイッチを構成するPチャンネル型MOSFET Q18のゲートには、上記内部回路で形成されたパワーダンウ信号PWDが供給され、Nチャンネル型MOSFET Q17のゲートにはその反転信号を形成するインバータ回路IV2の出力が供給されることにより、パワーダウンモードのときにオフ状態にされる。そして、上記パワーダンウ信号PWDがゲートに供給されたNチャンネル型MOSFET Q16により、上記MOSFET Q7のゲートには回路の接地電位が与えられるのでオフ状態にされる。

【0044】上記のような入力回路は、動作モードに対応して動作の制御を行うようになることができるアドレス入力回路や制御信号の入力回路及びデータ入力回路に適用することができる。例えば、後述するようなシンクロナスDRAMでは、常時入力信号の状態を監視する必要があるクロックイネーブル信号CKEを除いて、上記入力回路を利用することができる。上記クロックイネーブル信号CKEを受ける入力回路としては、前記図2に示した回路を用いることができる。

【0045】図10には、この発明に係る入力回路の更に他の一実施例の回路図が示されている。この実施例では、動作モードそのものが制限される入力回路に好適である。例えば、上記シンクロナスDRAMのデータ入力回路は、ライトモードにされるときに有効にされる。したがって、かかる入力回路では、前記バイアス電圧発生回路と、その出力により制御されるスイッチMOSFET Q1とQ2とが省略される。そして、前記レベル変換回路と、電流源MOSFET Q7の動作を制御する回路によって入力回路の動作そのものが制御される。この

場合のパワーダウン信号PWDは、前記ライトモード以外のときに発生されて上記動作電流を制限してしまうので、前記のようなバイアス電圧発生回路やそれにより制御されるスイッチMOSFETを省略しても実質的には何の問題も生じない。

【0046】図11には、上記図8に示した入力回路の動作の一例を説明するための波形図が示されている。同図では、入力回路はSSTLのような小振幅信号で動作する場合が示されている。内部回路によりパワーダウン信号PWDがロウレベルのときには、前記のように入力信号VINに対応して出力信号VOOUTを形成するという動作を行うものである。

【0047】内部回路によりパワーダンウ信号PWDが内部電圧VDDに対応したハイレベルに変化すると、そのレベル変換されたパワーダウン制御信号／PWDがロウレベルに変化し、前記のようにバイアス電圧発生回路の動作と差動増幅回路の動作を停止させ、出力信号VOOUTを入力信号VINの変化に無関係に電源電圧VDDQのようなハイレベルに固定するものである。

【0048】シンクロナスDRAMにおいて、クロックイネーブル信号CKEをロウレベルにする。内部回路で上記信号CKEが予め決められた一定時間以上ロウレベルであると判定すると、上記パワーダウン信号PWDをハイレベルにする。このような外部制御信号により消費電流を低減させることができる。また、セルフリフレッシュコマンド入力からCKE=ロウレベルを保持している間、セルフリフレッシュ動作が継続して行われ、その間入力回路を不活性化して消費電流を低減させるように利用できる。

【0049】図12には、この発明に係る入力回路の更に一実施例の回路図が示されている。この実施例では、NMOS入力の差動増幅回路（以下、差動アンプといふ）アンプとPMOS入力の差動アンプを組み合わせて相補な構成とし、上記2つの差動アンプはいずれも正相出力とする。

【0050】上記差動アンプNMOS-AMPは、差動形態のNチャンネル型MOSFETと、そのドレインに設けられた電流ミラー形態のPチャンネル型MOSFETからなる負荷回路と、上記差動MOSFETの共通ソースに設けられて動作電流を形成するMOSFET回路から構成される。この実施例では、上記負荷回路と一方の動作電圧である電源電圧VDDとの間は、Pチャンネル型のダミーMOSFETが設けられ、そのゲートには回路の接地電位が定常的に供給される。上記Nチャンネル型の差動MOSFETの共通ソースと他方の動作電圧である回路の接地電位との間には、特に制限されないが、SSTL用とLVTTL用の動作電流を形成するMOSFET回路が設けられる。

【0051】上記SSTL用とLVTTL用のMOSFET回路は、ボンディングオプションにより形成された

選択信号BPSLDBとBPSLDでそれぞれスイッチ制御されるMOSFETと、上記MOSFETとそれぞれ直列形態に接続されてゲートに所定電圧が印加されて動作電流を形成するMOSFETから構成される。上記選択信号BPSLDBとBPSLDは、SSTL入力又はLVTTL入力に対応してボンディングオプションにより形成される相補の信号であり、一方がハイレベルのときには他方がロウレベルにされる。これにより、SSTL用とLVTTL用に対応した動作電流が選択的に流れるようにされる。

【0052】上記SSTL用に対応した動作電流は、前記図2の実施例と同様に入力電圧トラッキング型バイアス電圧発生回路VTBGで形成された制御電圧VGNを用いたフィードフォワード制御を行い、LVTTLに対応した動作電圧は次に説明する出力側に設けられたインバータ回路INVの出力信号によるフィードバック制御を行うようにされる。上記入力電圧トラッキング型バイアス電圧発生回路VTBGは、前記説明したように差動アンプの電流遮断動作を行うものであるで、フル振幅時電流遮断回路と呼ぶこともできる。以下、動作の理解を容易にするため上記VTBGをフル振幅時電流遮断回路という。

【0053】上記差動アンプPMOS-AMPは、差動形態のPチャンネル型MOSFETと、そのドレインに設けられた電流ミラー形態のNチャンネル型MOSFETからなる負荷回路と、上記差動MOSFETの共通ソースに設けられて動作電流を形成するMOSFET回路から構成される。この実施例では、上記負荷回路と他方の動作電圧である回路の接地電位との間は、Nチャンネル型のパワースイッチMOSFETが設けられ、そのゲートにはパワーダウン信号PWDDBが供給される。上記差動アンプNMOS-AMPのダミーMOSFETは、上記パワーダウンMOSFETに対応したものであり、両差動アンプの動作条件をバランスさせるためのものである。

【0054】上記差動アンプPMOS-AMPに設けられるSSTL用とLVTTL用のMOSFET回路も、前記同様にボンディングオプションにより形成された選択信号BPSLDBとBPSLDでそれぞれスイッチ制御されるMOSFETと、上記MOSFETとそれぞれ直列形態に接続されてゲートに所定電圧が印加されて動作電流を形成するMOSFETから構成される。上記SSTL用に対応した動作電流は、上記フル振幅時電流遮断回路VTBGで形成された制御電圧VGPを用いたフィードフォワード制御を行い、LVTTLに対応した動作電圧は出力側に設けられたインバータ回路INVの出力信号によるフィードバック制御を行うようにされる。

【0055】上記2つの差動アンプNMOS-AMPとPMOS-AMPは、入力信号VINに対して正相出力を形成するものであり、その出力端子が共通に接続され

る。この共通化された出力端子は、出力インバータ回路INVの入力端子に接続され、その出力端子から出力信号OUTBが形成される。この出力信号OUTBは、上記LVTTL入力に対応したフィードバック制御のために、NMOS-AMP側では選択信号BPSLDによりスイッチ制御されるMOSFETと直列に接続されたMOSFETのゲートに帰還され、PMOS-AMP側では選択信号BPSLDBによりスイッチ制御されるMOSFETと直列に接続されたMOSFETのゲートに帰還される。

【0056】この実施例では、パワーダウンモードのときの電流低減のために上記フル振幅時電流遮断回路VTBGの動作電流を遮断するPチャンネル型MOSFETと、そのときの出力信号を回路の接地電位のようなロウレベルに固定するNチャンネル型MOSFETが設けられる。これらのMOSFETのゲートには、パワーダウン信号PWDSDLが供給される。上記パワーダウン信号PWDSDLがハイレベルにされるパワーダウンモードでは、上記Nチャンネル型MOSFETがオン状態に、Pチャンネル型MOSFETがオフ状態にされて、フル振幅時電流遮断回路VTBGの動作電流が遮断されるとともに、そのときの出力信号VGNとVGPが回路の接地電位のようなロウレベルに固定される。

【0057】差動アンプ側においても、PMOS-AMPの前記Nチャンネル型のパワーダウンMOSFETのゲートには、パワーダンク信号PWDDBが供給され、2つの差動アンプの出力端子と電源電圧VDDとの間に、上記パワーダウン信号PWDDBによりスイッチ制御されるPチャンネル型のプルアップMOSFETが設けられる。これにより、上記パワーダウン信号PWDDBがロウレベルにされるパワーダウンモードでは、差動アンプPMOS-AMPの動作電流が遮断されるとともに、両差動アンプNMOS-AMPとPMOS-AMPの出力端子は電源電圧VDDにプルアップされる。この差動アンプの出力端子の電源電圧VDDへのプルアップによって、上記インバータ回路INVの出力信号はロウレベルに固定される。このインバータ回路INVの出力信号により、差動アンプNMOS-AMPでは、差動MOSFETの共通ソースに設けられた動作電流を形成するMOSFETがオフ状態にされて動作電流の遮断が行われる。

【0058】上記のようにNMOS入力の差動アンプNMOS-AMPとPMOS入力の差動アンプPMOS-AMPを組み合わせて相補的な構成とし、差動アンプNMOS-AMPとPMOS-AMPはいずれも正相出力動作として出力を共通化し、SSTLとLVTTLとの入力切り換えは、ボンディングオプションにより形成された選択信号BPSLDとBPSLDBを用いて差動アンプの電流遮断方法を切換える。SSTL入力時には上記フル振幅時電流遮断回路VTBGにより形成された制御

信号VGNとVGPを用いたフィードフォワード制御を行い、LVTTL入力では、出力側に設けられインバータ回路INVの出力信号OUTBを用いたフィードバック制御を行う。

【0059】上記のような入力回路においては、出力に影響するフローテイングノードが発生することなく、LVTTLでの待機電流が小さく、遅延時間のばらつきが小さい入力回路を実現することができる。また、外部入力のセットアップ・ホールド時間が小さくできし、LVTTLでの待機電流が小さくできる。

【0060】入力信号VINがハイレベルでもロウレベルでも、基準電圧又は参照電圧VREFが入力されたMOSFETを経由して電流バスが確保されるため、出力端子はフローティングとならない。LVTTL入力時には、フィードバック制御によりNMOS入力の差動アンプNMOS-AMPとPMOS入力の差動アンプPMOS-AMPが交互に動作する。直流特性は、CMOSインバータ回路に近い電流特性となり、貫通電流が十分小さくなる。

【0061】SSTL入力時には、小振幅入力のときNMOS入力の差動アンプNMOS-AMPとPMOS入力の差動アンプPMOS-AMPが動作する。入力信号VINの同相成分に対し、NMOS入力の差動アンプNMOS-AMPとPMOS入力の差動アンプPMOS-AMPが互いに補い、合計の電流の変化量は小さく、遅延時間の変化が小さい。このSSTL入力時においてフル振幅の入力信号VINが入力されると、前記フル振幅時電流遮断回路VTBGにより形成された制御信号VGNとVBPを用いたフィードフォワード制御により、両差動アンプにおける貫通電流が遮断される。

【0062】上記SSTLインターフェイスとLVTTLインターフェイスとの切換えは、特に制限されないが、ボンディングオプションによる選択信号BPSLD及びその反転信号BPSLDBにより、2つの差動アンプNMOS-AMPとPMOS-AMPの共通ソースに設けられたMOSFET回路を制御することにより行われる。信号PWDDBは、パワーダウン制御用の信号であり、パワーダウン時にロウレベルとする。信号PWDSDLは、後述するようにボンディングオプションとパワーダウン制御の論理をとった信号で、SSTLインターフェイス時ではパワーダウン時及びLVTTLインターフェイス時では無条件にハイレベルにされる。

【0063】図13には、この発明に係る入力回路のSSTLインターフェイス時の動作を説明するための特性図が示されており、図13(A)には、上記フル振幅時電流遮断回路VTBGで形成された制御信号VGN、VGPと入力電圧VINとの関係が示され、図13(B)には、差動アンプの電流と入力電圧VINとの関係が示されている。上記SSTLインターフェイス時では、信号BPSLDが電源電圧VDDのようなハイレベルに、

50

信号B P S L D Bが接地電圧V S Sのようなロウレベルとなり、フル振幅時電流遮断回路V T B Gにより形成された制御信号V G NとV G Pにより2つの差動アンプN M O S - A M P及びP M O S - A M Pの動作電流が制御される。

【0064】図13(A)に示すように、入力信号V I NがV S S近傍では、制御信号V G N、V G Pとも電源電圧V D Dとなり、P M O S入力の差動アンプP M O S - A M Pの共通ソース部のPチャンネル型M O S F E Tがオフ状態となり、P M O S入力の差動アンプP M O S - A M Pの動作電流が遮断される。このとき、N M O S入力の差動アンプN M O S - A M Pは、入力信号V I Nがゲートに接続されたNチャンネル型の差動M O S F E Tがオフ状態となる。その結果、Pチャンネル型のカレントミラー回路に流れる電流が零となり、N M O S入力差動アンプN M O S - A M Pの動作電流も零となる。また、入力信号V I Nが電源電圧V D D近傍では、制御信号V G N、V G Pとも回路の接地電位V S Sとなって、N M O S入力の差動アンプの電流が遮断され、入力信号V I Nがゲートに接続されたPチャンネル型の差動M O S F E Tがオフ状態となることにより、P M O S入力の差動アンプの電流は零となる。

【0065】一方、入力信号V I Nが参照電圧V R E F近傍の通常動作領域では、制御信号V G Nが電源電圧V D Dに、制御信号V G Pが回路の接地電位V S Sとなり、N M O Sの入力差動アンプN M O S - A M PとP M O S入力の差動アンプP M O S - A M Pの両方が活性化される。図13(B)に示すように、入力信号V I Nが上記参照電圧V R E Fより高くなると、N M O S入力の差動アンプN M O S - A M Pを流れる電流が大きくなるのに対し、P M O S入力の差動アンプP M O S - A M Pを流れる電流は小さくなる。

【0066】逆に入力信号V I Nが上記参照電圧V R E Fより低くなると、N M O S入力の差動アンプN M O S - A M Pを流れる電流が小さくなるのに対し、P M O S入力の差動アンプP M O S - A M Pを流れる電流は大きくなる。そのため、2つの差動アンプN M O S - A M PとP M O S - A M Pを流れる電流の合計は、入力信号V I Nのレベルに依らずほぼ一定に保たれる。したがって、入力信号V I Nと参照電圧V R E Fの同相成分が変化しても、動作速度の変化は小さくなり、Pチャンネル型M O S F E TとNチャンネル型M O S F E Tの特性比が変化しても影響が小さくなる。

【0067】図14には、この発明に係る入力回路のL V T T Lインターフェイス時の動作を説明するための特性図が示されており、図14(A)には、上記出力信号O U T Bと入力電圧V I Nとの関係が示され、図14(B)には、差動アンプの電流と入力電圧V I Nとの関係が示されている。上記L V T T Lインターフェイス時では、選択信号B P S L Dが回路の接地電位V S S、選

択信号B P S L D Bが電源電圧V D Dとなり、インバータ回路I N Vの出力信号O U T Bにより電流が制御される。

【0068】入力信号V I Nが参照電圧V R E Fより低い時、出力信号O U T Bは電源電圧V D Dのようなハイレベルとなり、P M O S入力の差動アンプP M O S - A M Pの電流が遮断される。逆に、入力信号V I Nが参照電圧V R E Fより高い時、出力信号O U T Bは回路の接地電位V S Sのようなロウレベルとなり、N M O S入力の差動アンプN M O S - A M Pの電流が遮断される。その結果、素子の微細化によって、Pチャンネル型M O S F E T及びNチャンネル型M O S F E Tのしきい値電圧が小さいときでも待機電流を十分に小さくすることができる。

【0069】入力信号V I Nがロウレベルからハイレベルに変わるとには、出力信号O U T BがロウレベルになるまでN M O S入力の差動アンプN M O S - A M Pが活性化される。上記入力信号V I Nがハイレベルからロウレベルに変わるとには、出力信号O U T BがハイレベルになるまでP M O S入力の差動アンプP M O S - A M Pが活性化される。したがって、上記入力信号V I Nの変化時には十分な駆動能力が得られ、それに対応して出力信号O U T Bを高速に変化させるものとなる。

【0070】図15には、この発明に係る入力回路の更に一実施例の回路図が示されている。この実施例回路は、パワーダウンでの出力が前記図12とは逆にされた入力回路が示されている。信号P W D Dは、パワーダウン制御用の信号であり、パワーダウン時にハイレベルにされる。信号P W D S L Bは、ボンディングオプションとパワーダウン制御との論理をとった信号で、S S T Lインターフェイス時でのパワーダウン時及びL V T T Lインターフェイス時は無条件にロウレベルにされる。

【0071】この実施例回路は、前記図12の回路とは逆にフル振幅時電流遮断回路V T B Gは、回路の接地電位側に設けられたパワーダウン用のNチャンネル型M O S F E Tが上記信号P W D S L D Bのロウレベルによりオフ状態にされるとともに、そのときの制御信号V G NとV G Pは、オン状態にされるPチャンネル型M O S F E Tにより電源電圧V D Dにブルアップされる。

【0072】差動アンプ側においては、N M O S - A M Pの前記Pチャンネル型のパワーダウンM O S F E Tのゲートには、パワーダウン用信号P W D Dが供給され、2つの差動アンプの出力端子と回路の接地電位V S Sとの間には、上記パワーダウン信号P W D Dによりスイッチ制御されるNチャンネル型のブルダウンM O S F E Tが設けられる。これにより、上記パワーダウン信号P W D Dがハイレベルにされるパワーダウンモードでは、差動アンプN M O S - A M Pの動作電流が遮断されるとともに、両差動アンプN M O S - A M PとP M O S - A M Pの出力端子は回路の接地電位V S Sにブルダウンされ

る。

【0073】この差動アンプの出力端子のブルダウンによるロウレベルによって、上記インバータ回路INVの出力信号はハイレベルに固定される。このインバータ回路INVの出力信号により、差動アンプPMOS-AMPでは、差動MOSFETの共通ソースに設けられた動作電流を形成するMOSFETがオフ状態にされて動作電流の遮断が行われる。このときには、差動アンプPMOS-AMPのカレントミラー負荷回路と回路の接地電位との間にNチャンネル型のダミーMOSFETが設けられ、そのゲートに電源電圧VDDが供給されることによって定常的にオン状態にされる。

【0074】図16には、信号発生回路の一実施例の回路図が示されている。この信号発生回路は、前記図12に示した入力回路に向けられている。つまり、この実施例の信号発生回路は、前記図12の入力回路に設けられるフル振幅時電流遮断回路VTBGに供給されるパワーダウン信号PWDLや、差動アンプNMOS-AMP、PMOS-AMPに供給されるパワーダウン信号PWDDB及び選択信号BPSLD、BPSLDBを形成する。

【0075】特に制限されないが、パワーダウン信号PWDと選択信号BPSLとは、内部回路で形成された低振幅信号とされる。内部回路は、外部端子から供給される電源電圧VDDを降圧して形成された内部電圧VCLにより動作させられる。例えば、電源電圧VDDが3.3Vや2.5Vのとき、内部降圧電圧VCLは2.0V又は1.8Vのような低電圧とされる。

【0076】レベル変換回路LVC1とLVC2は、上記内部降圧電圧VCLに対応した低振幅のパワーダウン信号PWDと選択信号BPSLを電源電圧VDDに対応した比較的大きな信号振幅に変換される。選択信号BPSLDは上記レベル変換回路LVC2により形成された出力信号である。選択信号BPSLDBは、上記選択信号BPSLDがCMOSインバータ回路により反転されて形成される。

【0077】パワーダウン信号PWDがレベル変換回路LVC1でレベル変換された信号は、CMOSインバータ回路により反転されてパワーダウン信号PWDDBとして差動アンプのパワースイッチMOSFET及びブルアップMOSFETに供給される。上記信号PWDDBと上記選択信号BPSLDとは、 NANDゲート回路NAG1に供給され、フル振幅時電流遮断回路VTBGに供給されるパワーダウン信号PWDLが形成される。これにより、信号PWDLは、前記説明したようにSSTLインターフェイス時ではパワーダウン時及びLVTLインターフェイス時では無条件にハイレベルにされる。

【0078】図17には、信号発生回路の他の一実施例の回路図が示されている。この信号発生回路は、前記図

15に示した入力回路に向けられている。つまり、この実施例の信号発生回路は、前記図15の入力回路に設けられるフル振幅時電流遮断回路VTBGに供給されるパワーダウン信号PWDLや、差動アンプNMOS-AMP、PMOS-AMPに供給されるパワーダウン信号PWDDB及び選択信号BPSLD、BPSLDBを形成する。

【0079】レベル変換回路LVC1とLVC2は、前記同様に内部降圧電圧VCLに対応した低振幅のパワーダウン信号PWDと選択信号BPSLを電源電圧VDDに対応した比較的大きな信号振幅に変換される。選択信号BPSLDは上記レベル変換回路LVC2により形成された出力信号である。選択信号BPSLDBは、上記選択信号BPSLDがCMOSインバータ回路により反転されて形成される。

【0080】パワーダウン信号PWDがレベル変換回路LVC1でレベル変換された信号は、パワーダウン信号PWDDBとして差動アンプのパワースイッチMOSFET及びブルアップMOSFETに供給される。上記信号PWDDBと上記選択信号BPSLDとは、ノアゲート回路NOG1に供給され、フル振幅時電流遮断回路VTBGに供給されるパワーダウン信号PWDLが形成される。これにより、信号PWDLは、前記説明したようにSSTLインターフェイス時ではパワーダウン時及びLVTLインターフェイス時では無条件にロウレベルにされる。

【0081】入力回路において、パワーダウンから復帰する際の安定動作のためには、パワーダウン時にロウレベルを出力しておくべき信号と、ハイレベルを出力しておく信号がある。1つの半導体集積回路装置において、図12と図15の入力回路を使い分けることにより、上記いずれの場合にも対応でき、しかも通常動作時の特性をほぼ同じにできるものとなる。

【0082】図18に、この発明に係る入力回路の更に一実施例の回路図が示されている。この実施例は、前記図12の実施例回路の変形例であり、出力信号OUTBが帰還されるMOSFETと差動MOSFETの共通ソースとの間の、ボンディングオプションにより形成された選択信号BPSLD、BPSLDBによりスイッチMOSFETが省略されている。

【0083】上記のような選択スイッチMOSFETを省略することにより、上記差動MOSFETの共通ソースには、出力信号OUTBが帰還されるMOSFETの電流がSSTLインターフェイス時にも流れるようにされる。したがって、SSTLインターフェイス時に、出力信号OUTBからの帰還により制御されるMOSFETで形成された電流が差動アンプの動作に加わるため、動作する際の電流が大きくすることができる。このため、図12の実施例の入力回路に比べ、回路の簡素化と高速化が図られる。

【0084】図19には、この発明に係る入力回路の更に一実施例の回路図が示されている。この実施例では前記フル振幅時電流遮断回路V T B Gを取り除いた入力回路の例が示されている。L V T T Lインターフェイス時には前述の特長が同様に得られる。図12に示した入力回路に比べ、素子数が少なくレイアウト面積を小さくできる上、フル振幅時電流遮断回路V T B Gの入力容量の分だけ入力端子からみた場合の入力容量を小さくすることができます。

【0085】この実施例の入力回路は、前記のようにS S T LとL V T T Lの両入力インターフェイスに適合した入力回路として用いるもの他、L V T T Lインターフェイスのみに限定した入力回路としても有益なものとなる。L V T T Lインターフェイス用の入力回路をC M O Sインバータ回路で構成した場合、その論理しきい値電圧はPチャンネル型M O S F E TとNチャンネル型M O S F E Tのコンダクタンス比により決められる。したがって、かかるC M O Sインバータ回路を入力回路として用いた場合には、その論理しきい値電圧が素子のばらつきの影響を受けやすいために、入力信号マージンを確保することが困難となる。

【0086】前記図5(B)の波形図では、L V T T Lのロウレベルを回路の接地電位V S Sとし、ハイレベルを電源電圧V D D Qのように示したが、前記図5(A)のS S T Lの波形図と同様に、L V T T Lのロウレベルには許容最大値V L maxが、ハイレベルには許容最小値V H minが決められており、例えば電源電圧V D D Qが3.3VときにV L max = 0.4V、V H min = 2.4Vのようにされている。

【0087】素子の微細化によりM O S F E Tのしきい値電圧は、約0.4V程度に小さくされる。このような低しきい値電圧のM O S F E TによりC M O Sインバータ回路を構成して、上記L V T T Lの入力回路として用いた場合、入力信号V I NをロウレベルにしてもNチャンネル型M O S F E Tを完全にオフ状態にさせることができず、Pチャンネル型M O S F E TとNチャンネル型M O S F E Tを通して貫通電流を流してしまう。入力信号V I Nがハイレベル及びロウレベルのときに上記貫通電流の発生を防止するためには、Pチャンネル型M O S F E Tにおいてはしきい値電圧を(2.4-3.3)-0.9V以上に大きく形成しなければならない。そして、論理しきい値電圧を約1.4V程度に設定するために、上記Pチャンネル型M O S F E Tに対応してNチャンネル型M O S F E Tのしきい値電圧も大きく形成しなければならない。

【0088】したがって、微細化された素子を用いた半導体集積回路装置でも、少なくとも入力回路の部分において上記のような大きなしきい値電圧を持つM O S F E Tとしなければならず、そのために低しきい値電圧と高しきい値電圧とを持つ2種類のM O S F E Tを形成する

ことが必要となって製造プロセスを増加させることに加えて、大きなしきい値電圧のM O S F E Tを入力回路に用いた場合には、それに対応して外部端子から供給される入力信号の信号伝達速度も遅くなってしまうものである。

【0089】図19に示したような回路をL V T T Lインターフェイスの入力回路として用いた場合、その論理しきい値電圧は、参照電圧V R E Fにより決められるから素子のばらつきの影響を受けることなく高い精度で設定することができる。そして、上記のように素子の微細化による低しきい値電圧のM O S F E Tを用いて入力回路を構成した場合でも、出力信号O U T Bを帰還させることにより、例えば入力信号V I Nが0.4V程度のロウレベルのときには、かかる入力信号V I Nのロウレベルにより大きな電流を流す差動アンプP M O S - A M Pの動作電流を出力信号O U T Bの帰還により遮断させることができる。このとき、差動アンプN M O S - A M Pでは、入力信号V I Nの0.4V程度のロウレベルによって差動M O S F E Tに流れる電流が小さくなっているので低消費電力とすることができます。

【0090】図20には、この発明に係る入力回路の更に一実施例の回路図が示されている。この実施例では、前記図12の実施例回路から出力信号O U T Bを帰還させる回路を取り除いたものである。この入力回路をS S T Lインターフェイスに用いた場合には、前述の特長が同様に得られる。つまり、S S T Lインターフェイスの入力回路として用いた場合、その入力電圧V I Nがハイレベル又はロウレベルにされたときにフル振幅時電流遮断回路V T B Gにより形成された制御信号V G NとV G Pにより差動アンプでの消費電力を低減させることができる。そして、かかる入力回路をL V T T Lインターフェイスの入力回路としても動作させることができる。そのため、図12の入力回路に比べ、素子数が少なくレイアウト面積を小さくできる上、出力端子の負荷容量が小さくなり高速動作が可能である。

【0091】図21には、この発明に係る入力回路の更に一実施例の回路図が示されている。この実施例では、図20の実施例回路からフル振幅時電流遮断回路V T B Gを省略したものであり、フル振幅時に電流低減機能を持たない入力回路とされる。スペック的に待機時の電流を低減する必要がない場合、上記フル振幅時の電流低減機能を省略しても、前記説明したようにS S T Lインターフェイス時において動作速度の変化が小さいという特長が得られる。そして、かかる入力回路をL V T T Lインターフェイスの入力回路としても動作させることができます。このため、前記の実施例の入力回路に比べて、素子数が少なくレイアウト面積が小さい。また、入力端子の入力容量が小さい上、出力端子O U T Bの負荷容量も小さくなり、高速動作化が可能である。

【0092】図22には、この発明に係る入力回路の更に一実施例の回路図が示されている。この実施例は、ダ

イナミック型RAM等の半導体集積回路装置に適用された実際の回路図が示されている。メタルマスクによるスイッチMS1～MS13が加えられ、電源電圧VDDが3.3V版と2.5V版とで切換えることにより、それぞれ最適な構成にできるようにしている。同図のスイッチMS2～MS13は、2.5V版に対応されている。

【0093】上記3.3V版であるときはMOSFETのホットキャリア対策のために、大きな信号振幅とされる回路ノードにNチャンネル型MOSFETを挿入するようにスイッチの切り換え、あるいは切断が行われる。ただし、スイッチMS1は、上記のような電源電圧VDの切り換えではなく、図19に示したようなLVTL専用入力回路とするスイッチである。市場動向などにより、ボンディングオプションを用いてSSTL用に切り換える必要がなくなりLV TTL専用として製造する場合に、ボンディングオプションと併用してこのスイッチを用いることによりフル振幅時電流遮断回路を入力VINから分離して、入力VINの負荷容量を軽減して遅延時間を短縮できる。

【0094】逆に、LVTL用に切り換える必要がなくなりSSTL専用として製造する場合には、スイッチMS5, MS6を両方とも接地電圧VSS側に、スイッチMS7, MS8を両方とも電源電圧VDDにすることにより、図20に示したようなSSTL専用入力回路とすることが可能である。ボンディングオプションと併用してこのようにスイッチを用いることにより、出力OUTBからの帰還経路を除去し、出力OUTBの負荷容量を軽減して遅延時間を短縮できる。なお、フル振幅時電流遮断回路の高抵抗MOSFETは、複数のMOSFETの直列接続により実現されており、無理のないレイアウトが可能である。

【0095】図23には、この発明が適用されるイナミック型RAMの一実施例の概略レイアウト図が示されている。同図の各回路ブロックは、公知の半導体集積回路の製造技術によって、単結晶シリコンのような1個の半導体基板上において形成される。同図の各回路は、上記半導体基板上の幾何学的な配置にほぼ合わせて描かれている。この実施例では、メモリアレイは、全体として4個に分けられて、メモリバンク(Bank)0～3を構成するようになれる。

【0096】上記メモリバンク0～3は、半導体チップの長手方向に沿った上下に2個、左右に2個ずつに分割されたメモリアレイに対応される。上記チップの長手方向に沿った中央部分にアドレス入力回路、データ入出力回路及びボンディングパッド列からなる周辺回路が設けられる。この周辺回路は、特に制限されないが、ランダム・ロジック回路からなる各回路のレイアウトを合理的にするために、ランダム・ロジック回路とボンディングパッドが並んで配置される。

【0097】上記図示しないが周辺回路の例としては、

昇圧電圧発生回路とその動作を制御する制御回路、外部電源電圧VDDQを1/2に分圧して、差動回路で構成された入力回路の参照電圧を形成する分圧回路、入出力回路とそのクロックコントロール回路、Yプリデコーダとリード/ライトバッファ、周辺回路の動作電圧を形成する降圧回路、VPP電圧が所望の電圧であるか否かを検出するVPPセンサ、上記降圧電圧VPERIを安定化する安定化容量、Xアドレスラッチ回路、Yクロック回路、モードデコーダ/クロックバッファとコマンド回路、Yカウンタとその制御回路、リフレッシュ制御回路であり、BOPはボンディングオプション回路、電源投入検出回路等がある。

【0098】上述のように半導体チップの長手方向に沿った上下に2個と、左右に2個ずつに分けられて合計4個からなる各メモリアレイにおいて、長手方向に対して左右方向の中間部にX系プリデコーダ回路ROWPDC及び救済回路ROWRED、Y系プリデコーダ回路COLPDC及び救済回路COLREDが纏めて配置される。つまり、上記4個のメモリアレイにそれぞれ対応して、上記X系プリデコーダ回路ROWPDC及び救済回路ROWRED、Y系プリデコーダ回路COLPDC及び救済回路COLREDが上記左右2個ずつ設けられたメモリアレイに対応して2組ずつ振り分けて設けられる。

【0099】上記メモリアレイの上記中間部分に沿って前記同様にメインワードドライバ領域MWDが形成されて、それぞれのメモリアレイに対応して下、上方側に延長するように設けられたメインワード線をそれが駆動するようになれる。この構成では、前記同様なサブアレイを用いた場合には、16個のサブアレイを貫通するようにメインワード線が延長される。特に制限されないが、上記メモリアレイにおいて、上記チップ中央部分とは反対側のチップ周辺側にYデコーダYDCが設けられる。つまり、上記中央側に配置されたメインアンプMAと周辺側に配置されたYデコーダYDCとにより上記4分割されてなる各メモリアレイがそれぞれ挟まれるように配置されるものである。この場合には、チップ中央部には、縦方向と横方向に延長される配線チャネルが交差する部分が発生し、そこに安定化容量Cが形成される。また、周辺回路等の隙間にも分散して小さな容量値の安定化容量が適宜に設けられる。

【0100】この実施例においては、上記中央側に配置されたメインアンプMAと周辺側に配置されたYデコーダYDCとにより上記4分割されてなる各メモリアレイが挟まれるように配置される。上記メモリアレイは、その1つが拡大して示されているように、複数のサブアレイ15に分割される。かかるサブアレイ15は、それを挟むように配置されたセンスアンプ領域16、サブワードドライバ領域17に囲まれて形成される。上記センスアンプアンプ領域16と、上記サブワードドライバ領

域17の交差部は交差領域18とされる。上記センスアンプ領域16に設けられるセンスアンプは、シェアードセンス方式により構成され、メモリセルアレイの両端に配置されるセンスアンプを除いて、センスアンプを中心にして左右に相補ビット線が設けられ、左右いずれかのメモリセルアレイの相補ビット線に選択的に接続される。

【0101】1つのサブアレイ15は、図示しないが例えば256本のサブワード線と、それと直交する256対からなる相補ビット線（又はデータ線）とにより構成される。なお、サブアレイには不良ワード線又は不良ビット線の救済のために予備のワード線及び予備の相補ビット線も設けられるものである。上記1つのメモリアレイにおいて、上記サブアレイがワード線の配列方向に16個設けられるから、全体としての上記サブワード線は約4K分設けられ、ビット線の配列方向に16個設けられるから、相補ビット線は全体として約4K分設けられる。このようなメモリアレイが全体で4個設けられるから、全体では $4 \times 4K \times 4K = 64M$ ビットのような記憶容量を持つようにされる。これにより、相補ビット線その長さが、上記16個のサブアレイに対応して1/16の長さに分割される。サブワード線は、上記16個のサブアレイに対応して1/16の長さに分割される。

【0102】上記1つのメモリアレイの分割されたサブアレイ15毎にサブワードドライバ（サブワード線駆動回路）17が設けられる。サブワードドライバ17は、上記のようにメインワード線に対して1/16の長さに分割され、それと平行に延長されるサブワード線の選択信号を形成する。この実施例では、メインワード線の数を減らすために、言い換えるならば、メインワード線の配線ピッチを緩やかにするために、特に制限されないが、1つのメインワード線に対して、相補ビット線方向に4本からなるサブワード線を配置させる。このようにメインワード線方向には8本に分割され、及び相補ビット線方向に対して4本ずつが割り当てられたサブワード線の中から1本のサブワード線を選択するために、メインワードドライバMWDには図示しないサブワード選択ドライバが配置される。このサブワード選択ドライバは、上記サブワードドライバの配列方向に延長される4本のサブワード選択線の中から1つを選択する選択信号を形成する。

【0103】図23のようなレイアウトを採用した場合において、Yアドレスが入力されると、アドレスバッファADD B UPを通して上記メモリアレイの中間部に設けられた救済回路、プリデコーダを介してチップの周辺側に配置されたYデコーダYDCに伝えられ、ここでY選択信号が形成される。上記Y選択信号より1つのサブアレイの相補ビット線が選択されて、それと反対側のチップ中央部側のメインアンプMAに伝えられ、増幅されて図示しない出力回路を通して出力される。

【0104】この構成は、一見すると信号がチップを引き回されて読み出し信号が出力されるまでの時間が長くなるように判断される。しかし、救済回路には、アドレス信号をそのまま入力する必要があるので、救済回路をチップ中央のいずれかに配置すると、不良アドレスであるか否かの判定結果をまってプリデコーダの出力時間が決定される。つまり、プリデコーダと救済回路とが離れていると、そこでの信号遅延が実際のY選択動作を遅らせる原因となる。

【0105】この実施例では、メモリアレイを挟んでメインアンプMAとYデコーダYDCが両側に配置されるため、サブアレイの相補ビット線を選択するための信号伝達経路と、選択された相補ビット線から入出力線を通ってメインアンプMAの入力に至る信号伝達経路との和は、いずれの相補ビット線を選択しようともメモリアレイを横断するだけの信号伝達経路となって上記のように1往復するものの半分に短縮できるものである。これにより、メモリアクセスの高速化が可能になるものである。

【0106】図24には、この発明に係るダイナミック型RAMのセンスアンプ部を中心にして、アドレス入力からデータ出力までの簡略化された一実施例の回路図が示されている。同図においては、2つのサブアレイ15に上下から挟まれるようにされたセンスアンプ16と交差エリア18に設けられる回路が例示的に示され、他はブロック図として示されている。

【0107】ダイナミック型メモリセルは、上記1つのサブアレイ15に設けられたサブワード線SWLと、相補ビット線BL、BLBのうちの一方のビット線BLとの間に設けられた1つが代表として例示的に示されている。ダイナミック型メモリセルは、アドレス選択MOSFETQmと記憶キャッシュC_sから構成される。アドレス選択MOSFETQmのゲートは、サブワード線SWLに接続され、このMOSFETQmのドレインがビット線BLに接続され、ソースに記憶キャッシュC_sが接続される。記憶キャッシュC_sの他方の電極は共通化されてプレート電圧VPLTが与えられる。上記MOSFETQmの基板（チャンネル）には負のバックバイアス電圧VBBが印加される。特に制限されないが、上記

40 バックバイアス電圧VBBは、-1Vのような電圧に設定される。上記サブワード線SWLの選択レベルは、上記ビット線のハイレベルに対して上記アドレス選択MOSFETQmのしきい値電圧分だけ高くされた高電圧VPPとされる。

【0108】センスアンプを内部降圧電圧VDLで動作させるようにした場合、センスアンプにより増幅されてビット線に与えられるハイレベルは、上記内部電圧VDLレベルにされる。したがって、上記ワード線の選択レベルに対応した高電圧VPPはVDL+V_{th}+ α にされる。センスアンプの左側に設けられたサブアレイの一対

の相補ビット線BLとBLBは、同図に示すように平行に配置される。かかる相補ビット線BLとBLBは、シェアードスイッチMOSFETQ1とQ2によりセンスアンプの単位回路の入出力ノードと接続される。

【0109】センスアンプの単位回路は、ゲートとドレインとが交差接続されてラッチ形態にされたNチャンネル型の増幅MOSFETQ5, Q6及びPチャンネル型の増幅MOSFETMOSFETQ7, Q8からなるCMOSラッチ回路で構成される。Nチャンネル型MOSFETQ5とQ6のソースは、共通ソース線CSNに接続される。Pチャンネル型MOSFETQ7とQ8のソースは、共通ソース線CSPに接続される。上記共通ソース線CSNとCSPには、それぞれパワースイッチMOSFETが接続される。特に制限されないが、Nチャンネル型の増幅MOSFETQ5とQ6のソースが接続された共通ソース線CSNには、上記クロスエリア18に設けられたNチャンネル型のパワースイッチMOSFETQ14により接地電位に対応した動作電圧が与えられる。

【0110】特に制限されないが、上記Pチャンネル型の増幅MOSFETQ7とQ8のソースが接続された共通ソース線CSPには、上記クロスエリア18に設けられたオーバードライブ用のNチャンネル型のパワーMOSFETQ15と、上記内部電圧VDLを供給するNチャンネル型のパワーMOSFETQ16が設けられる。上記オーバードライブ用の電圧には、特に制限されないが、外部端子から供給される電源電圧VDDQが用いられる。あるいは、センスアンプ動作速度の電源電圧VDQ依存性を軽減するために、ゲートにVPPが印加され、ドレインに電源電圧VDDQが供給されたNチャンネル型MOSFETのソースから上記電圧を得るものとしてわずかに降圧してもよい。

【0111】上記Nチャンネル型のパワーMOSFETQ15のゲートに供給されるセンスアンプオーバードライブ用活性化信号SAP1は、上記Nチャンネル型MOSFETQ16のゲートに供給される活性化信号SAP2と同相の信号とされ、SA外部端子から供給される入力信号を受ける入力回路として、第1導電型の差動MOSFETと、その共通ソースに設けられて動作電流を形成する第1導電型の第1MOSFETとを含む第1差動增幅回路と、第2導電型の差動MOSFET、その共通ソースに設けられて動作電流を形成する第2導電型の第2MOSFETとを含む第2差動增幅回路及び出力信号を形成するインバータ回路とを組み合わせ、上記第1と第2差動增幅回路の一方の入力端子に外部端子から入力信号を供給し、上記第1と第2差動增幅回路の他方の入力端子に上記入力信号のハイレベルとロウレベルのほぼ中間電位にされた基準電圧を供給し、上記第1と第2差動增幅回路の互いに同相とされた出力信号を合成して上記インバータ回路の入力端子に供給する。P1とSAP

2は時系列的にハイレベルにされる。特に制限されないが、SAP1とSAP2のハイレベルは昇圧電圧VPPレベルの信号とされる。つまり、昇圧電圧VPPは、約3.6Vであるので、上記Nチャンネル型MOSFETQ15, Q16を十分にオン状態にさせることができる。MOSFETQ15がオフ状態（信号SAP1がロウレベル）の後にはMOSFETQ16のオン状態（信号SAP2がハイレベル）によりソース側から内部電圧VDLに対応した電圧を出力させることができる。

10 【0112】上記センスアンプの単位回路の入出力ノードには、相補ビット線を短絡させるイコライズMOSFETQ11と、相補ビット線にハーフプリチャージ電圧VBLRを供給するスイッチMOSFETQ9とQ10からなるプリチャージ（イコライズ）回路が設けられる。これらのMOSFETQ9～Q11のゲートは、共通にプリチャージ信号PCBが供給される。このプリチャージ信号PCBを形成するドライバ回路は、図示しないが、上記クロスエリアにインバータ回路を設けて、その立ち上がりや立ち上がりを高速にする。つまり、メモリアクセスの開始時にワード線選択タイミングに先行して、各クロスエリアに分散して設けられたインバータ回路を通して上記プリチャージ回路を構成するMOSFETQ9～Q11を高速に切り替えるようとするものである。

20 【0113】上記クロスエリア18には、IOスイッチ回路IOSW（ローカルIOとメインIOを接続するスイッチMOSFETQ19, Q20）が置かれる。さらに、図3に示した回路以外にも、必要に応じて、センスアンプのコモンソース線CSPとCSNのハーフプリチャージ回路、ローカル入出力線LIOのハーフプリチャージ回路、メイン入出力線のVDLプリチャージ回路、シェアード選択信号線SHRとSHLの分散ドライバ回路等も設けられる。

30 【0114】センスアンプの単位回路は、シェアードスイッチMOSFETQ3とQ4を介して図下側のサブアレイ15の同様な相補ビット線BL, BLBに接続される。例えば、上側のサブアレイのサブワード線SWLが選択されたときには、センスアンプの上側シェアードスイッチMOSFETQ1とQ2はオン状態に、下側シェアードスイッチMOSFETQ3とQ4とがオフ状態にされる。スイッチMOSFETQ12とQ13は、カラム(Y)スイッチ回路を構成するものであり、上記選択信号YSが選択レベル（ハイレベル）にされるとオン状態となり、上記センスアンプの単位回路の入出力ノードとローカル入出力線LIO1とLIO1B, LIO2, LIO2B等とを接続させる。

40 【0115】これにより、センスアンプの入出力ノードは、上記上側の相補ビット線BL, BLBに接続されて、選択されたサブワード線SWLに接続されたメモリセルの微小信号を増幅し、上記カラムスイッチ回路(Q

12とQ13)を通してローカル入出力線LIO1, LIO1Bに伝える。上記ローカル入出力線LIO1, LIO1Bは、上記センスアンプ列に沿って、つまり、同図では横方向に延長される。上記ローカル入出力線LIO1, LIO1Bは、クロスエリア18に設けられたNチャンネル型MOSFET Q19とQ20からなるIOスイッチ回路を介してメインアンプ61の入力端子が接続されるメイン入出力線MIO, MIOBに接続される。

【0116】上記IOスイッチ回路は、X系のアドレス信号を解読して形成された選択信号よりスイッチ制御される。なお、IOスイッチ回路は、上記Nチャンネル型MOSFET Q19とQ20のそれぞれにPチャンネル型MOSFETを並列に接続したCMOSスイッチ構成としてもよい。シンクロナスDRAMのバーストモードでは、上記カラム選択信号YSがカウンタ動作により切り換えられ、上記ローカル入出力線LIO1, LIO1B及びLIO2, LIO2Bとサブアレイの二対ずつの相補ビット線BL, BLBとの接続が順次に切り換える。

【0117】アドレス信号Aiは、アドレスバッファ51に供給される。このアドレスバッファは、時分割的に動作してXアドレス信号とYアドレス信号を取り込む。Xアドレス信号は、ブリデコーダ52に供給され、メインローデコーダ11とメインワードドライバ12を介してメインワード線MWLの選択信号が形成される。上記アドレスバッファ51は、外部端子から供給されるアドレス信号Aiを受けるものであるので、外部端子から供給される電源電圧VDDQにより動作させられ、上記ブリデコーダは、それを降圧した降圧電圧VPERI(VDD)により動作させられ、上記メインワードドライバ12は、昇圧電圧VPPにより動作させられる。このメインワードドライバ12として、上記ブリデコード信号を受けるレベル変換機能付論理回路が用いられる。カラムデコーダ(ドライバ)53は、上記VCLP発生回路を構成するMOSFET Q23により動作電圧が形成される駆動回路を含み、上記アドレスバッファ51の時分割的な動作によって供給されるYアドレス信号を受けて、上記選択信号YSを形成する。

【0118】上記メインアンプ61は、前記降圧電圧VPERI(VDD)により動作させられ、外部端子から供給される電源電圧VDDQで動作させられる出力バッファ62を通して外部端子Doutから出力される。外部端子Dinから入力される書き込み信号は、入力バッファ63を通して取り込まれ、同図においてメインアンプ61に含まれるライトアンプ(ライトドライバ)を通して上記メイン入出力線MIOとMIOBに書き込み信号を供給する。上記出力バッファ62の入力部には、レベル変換回路とその出力信号を上記クロック信号に対応したタイミング信号に同期させて出力させるための論理部が

設けられる。

【0119】特に制限されないが、上記外部端子から供給される電源電圧VDDQは、第1の形態では3.3Vにされ、内部回路に供給される降圧電圧VPERI(VDD)は2.5Vに設定され、上記センスアンプの動作電圧VDLは1.8Vとされる。そして、ワード線の選択信号(昇圧電圧)は、3.6Vにされる。ピット線のプリチャージ電圧VBLRは、VDL/2に対応した0.9Vにされ、プレート電圧VPLTも0.9Vにされる。そして、基板電圧VBBは-1.0Vにされる。上記外部端子から供給される電源電圧VDDQは、第2の形態として2.5Vのような低電圧にされてもよい。このように低い電源電圧VDDQのときには、降圧電圧VPERI(VDD)と、降圧電圧VDLを1.8V程度と同じくしてもよい。

【0120】あるいは、外部端子から供給される電源電圧VDDQは3.3Vにされ、内部回路に供給される降圧電圧VPERI(VDD)とセンスアンプの動作電圧VDLとを同じく2.0V又は1.8Vのようにしてよい。このように外部電源電圧VDDQに対して内部電圧は、種々の実施形態を探ることができる。

【0121】図25には、この発明が適用される約64MビットのシンクロナスDRAM(以下、単にSDRAMといふ)の一実施例の全体ブロック図が示されている。この実施例のSDRAMは、特に制限されないが、4つのメモリバンクのうちメモリバンク0を構成するメモリアレイ200Aとメモリバンク3を構成するメモリアレイ200Dが例示的に示されている。

【0122】つまり、4つのメモリバンクのうちの2つのメモリバンク1と2に対応したメモリアレイ200B、200Cが省略されている。4つのメモリバンク0~3にそれぞれ対応されたメモリアレイ200A~200Dは、同図に例示的に示されているメモリアレイ200Aと200Dのようにマトリクス配置されたダイナミック型メモリセルを備え、図に従えば同一列に配置されたメモリセルの選択端子は列毎のワード線(図示せず)に結合され、同一行に配置されたメモリセルのデータ出入力端子は行毎に相補データ線(図示せず)に結合される。

【0123】上記メモリアレイ200Aの図示しないワード線は行(ロウ)デコーダ201Aによるロウアドレス信号のデコード結果に従って1本が選択レベルに駆動される。メモリアレイ200Aの図示しない相補データ線はセンスアンプ及びカラム選択回路を含むI/O線202Aに結合される。センスアンプ及びカラム選択回路を含むI/O線202Aにおけるセンスアンプは、メモリセルからのデータ読み出しによって夫々の相補データ線に現れる微小電位差を検出して増幅する増幅回路である。それにおけるカラムスイッチ回路は、相補データ線を各別に選択して相補I/O線に導通させるためのスイ

ッチ回路である。カラムスイッチ回路はカラムデコーダ203Aによるカラムアドレス信号のデコード結果に従って選択動作される。

【0124】メモリアレイ200Bないし200Dも同様に、メモリアレイ200Dに例示的に示されているようにロウデコーダ201D、センサンプ及びカラム選択回路を含むI/O線202D、カラムデコーダ203Dが設けられる。上記相補I/O線はライトバッファ214A、Bの出力端子及びメインアンプ212A、Dの入力端子に接続される。上記メインアンプ212A、Dの出力信号は、ラッチ/レジスタ213の入力端子に伝えられ、このラッチ/レジスタ213の出力信号は、出力バッファ211を介して外部端子から出力される。

【0125】外部端子から入力された書き込み信号は、入力バッファ210を介して上記ライトバッファ214A、Dの入力端子に伝えられる。上記外部端子は、特に制限されないが、16ビットからなるデータD0-D15を出力するデータ入出力端子とされる。なお、上記省略されたメモリアレイ200BとCに対応して、それぞれ上記同様なメインアンプ、ライトバッファが設けられる。

【0126】アドレス入力端子から供給されるアドレス信号A0～A13はカラムアドレスバッファ205とロウアドレスバッファ206にアドレスマルチプレクス形式で取り込まれる。供給されたアドレス信号はそれぞれのバッファが保持する。ロウアドレスバッファ206はリフレッシュ動作モードにおいてはリフレッシュカウンタ208から出力されるリフレッシュアドレス信号をロウアドレス信号として取り込む。カラムアドレスバッファ205の出力はカラムアドレスカウンタ207のプリセットデータとして供給され、列(カラム)アドレスカウンタ207は後述のコマンドなどで指定される動作モードに応じて、上記プリセットデータとしてのカラムアドレス信号、又はそのカラムアドレス信号を順次インクリメントした値を、カラムデコーダ203A～203Dに向けて出力する。

【0127】同図において点線で示したコントローラ209は、特に制限されないが、クロック信号CLK、クロックイネーブル信号CKE、チップセレクト信号/CS、カラムアドレスストローブ信号/CAS(記号/はこれが付された信号がロウイネーブルの信号であることを意味する)、ロウアドレスストローブ信号/RAS、及びライトイネーブル信号/WEなどの外部制御信号と、アドレス入力端子A0～A11からの制御データとが供給され、それらの信号のレベルの変化やタイミングなどに基づいてSDRAMの動作モード及び上記回路ブロックの動作を制御するための内部タイミング信号を形成するもので、モードレジスタ10、コマンドデコーダ20、タイミング発生回路30及びクロックバッファ40等を備える。

【0128】クロック信号CLKは、クロックバッファ40を介して前記説明したようなクロック同期回路50に入力され、内部クロックが発生される。上記内部クロックは、特に制限されないが、出力バッファ211、入力バッファ210を活性化するタイミング信号として用いられるとともに、タイミング発生回路30に供給され、かかるクロック信号に基づいて列アドレスバッファ205、行アドレスバッファ206及び列アドレスカウンタ207に供給されるタイミング信号が形成される。

【0129】他の外部入力信号は当該内部クロック信号の立ち上がりエッジに同期して有意とされる。チップセレクト信号/CSはそのロウレベルによってコマンド入力サイクルの開始を指示する。チップセレクト信号/CSがハイレベルのとき(チップ非選択状態)やその他の入力は意味を持たない。但し、後述するメモリバンクの選択状態やバースト動作などの内部動作はチップ非選択状態への変化によって影響されない。/RAS、/CAS、/WEの各信号は通常のDRAMにおける対応信号とは機能が相違し、後述するコマンドサイクルを定義するときに有意の信号とされる。

【0130】クロックイネーブル信号CKEは次のクロック信号の有効性を指示する信号であり、当該信号CKEがハイレベルであれば次のクロック信号CLKの立ち上がりエッジが有効とされ、ロウレベルのときには無効とされる。なお、リードモードにおいて、出力バッファ211に対するアウトプットイネーブルの制御を行う外部制御信号/OEを設けた場合には、かかる信号/OEもコントローラ209に供給され、その信号が例えばハイレベルのときには出力バッファ211は高出力インピーダンス状態にされる。

【0131】上記ロウアドレス信号は、クロック信号CLK(内部クロック信号)の立ち上がりエッジに同期する後述のロウアドレスストローブ・バンクアクティブコマンドサイクルにおけるA0～A11のレベルによって定義される。

【0132】アドレス信号A12とA13は、上記ロウアドレスストローブ・バンクアクティブコマンドサイクルにおいてバンク選択信号とみなされる。即ち、A12とA13の組み合わせにより、4つのメモリバンク0～3のうちの1つが選択される。メモリバンクの選択制御は、特に制限されないが、選択メモリバンク側のロウデコーダのみの活性化、非選択メモリバンク側のカラムスイッチ回路の全非選択、選択メモリバンク側のみの入力バッファ210及び出力バッファ211への接続などの処理によって行うことができる。

【0133】上記カラムアドレス信号は、クロック信号CLK(内部クロック)の立ち上がりエッジに同期するリード又はライトコマンド(後述のカラムアドレス・リードコマンド、カラムアドレス・ライトコマンド)サイクルにおけるA0～A9のレベルによって定義される。

そして、この様にして定義されたカラムアドレスはバーストアクセスのスタートアドレスとされる。

【0134】次に、コマンドによって指示されるSDRAMの主な動作モードを説明する。

(1) モードレジスタセットコマンド(Mo)

上記モードレジスタ30をセットするためのコマンドであり、/CS, /RAS, /CAS, /WE=ロウレベルによって当該コマンド指定され、セットすべきデータ(レジスタセットデータ)はA0~A11を介して与えられる。レジスタセットデータは、特に制限されないが、バーストレングス、CASレイテンシイ、ライトモードなどとされる。特に制限されないが、設定可能なバーストレングスは、1, 2, 4, 8、フルページとされ、設定可能なCASレイテンシイは1, 2, 3とされ、設定可能なライトモードは、バーストライトとシングルライトとされる。

【0135】上記CASレイテンシイは、後述のカラムアドレス・リードコマンドによって指示されるリード動作において/CASの立ち下がりから出力バッファ211の出力動作までに内部クロック信号の何サイクル分を費やすかを指示するものである。読み出しデータが確定するまでにはデータ読み出しのための内部動作時間が必要とされ、それを内部クロック信号の使用周波数に応じて設定するためのものである。換言すれば、周波数の高い内部クロック信号を用いる場合にはCASレイテンシイを相対的に大きな値に設定し、周波数の低い内部クロック信号を用いる場合にはCASレイテンシイを相対的に小さな値に設定する。

(2) ロウアドレスストローブ・バンクアクティブコマンド(Ac)

これは、ロウアドレスストローブの指示とA12とA13によるメモリバンクの選択を有効にするコマンドであり、/CS, /RAS=ロウレベル、/CAS, /WE=ハイレベルによって指示され、このときA0~A9に供給されるアドレスがロウアドレス信号として、A12とA13に供給される信号がメモリバンクの選択信号として取り込まれる。取り込み動作は上述のように内部クロック信号の立ち上がりエッジに同期して行われる。例えば、当該コマンドが指定されると、それによって指定されるメモリバンクにおけるワード線が選択され、当該ワード線に接続されたメモリセルがそれぞれ対応する相補データ線に導通される。

(3) カラムアドレス・リードコマンド(Re)

このコマンドは、バーストリード動作を開始するために必要なコマンドであると共に、カラムアドレスストローブの指示を与えるコマンドであり、/CS, /CAS=ロウレベル、/RAS, /WE=ハイレベルによって指示され、このときA0~A7(×16ビット構成の場合)に供給されるカラムアドレスがカラムアドレス信号

として取り込まれる。これによって取り込まれたカラムアドレス信号はバーストスタートアドレスとしてカラムアドレスカウンタ207に供給される。

【0138】これによって指示されたバーストリード動作においては、その前にロウアドレスストローブ・バンクアクティブコマンドサイクルでメモリバンクとそれににおけるワード線の選択が行われており、当該選択ワード線のメモリセルは、内部クロック信号に同期してカラムアドレスカウンタ207から出力されるアドレス信号に従って順次選択されて連続的に読み出される。連続的に読み出されるデータ数は上記バーストレングスによって指定された個数とされる。また、出力バッファ211からのデータ読み出し開始は上記CASレイテンシイで規定される内部クロック信号のサイクル数を待つ行われる。

【0139】(4) カラムアドレス・ライトコマンド(Wr)

ライト動作の態様としてモードレジスタ10にバーストライトが設定されているときは当該バーストライト動作を開始するために必要なコマンドとされ、ライト動作の態様としてモードレジスタ10にシングルライトが設定されているときは当該シングルライト動作を開始するために必要なコマンドとされる。更に当該コマンドは、シングルライト及びバーストライトにおけるカラムアドレスストローブの指示を与える。

【0140】当該コマンドは、/CS, /CAS, /WE=ロウレベル、/RAS=ハイレベルによって指示され、このときA0~A9に供給されるアドレスがカラムアドレス信号として取り込まれる。これによって取り込まれたカラムアドレス信号はバーストライトにおいては

バーストスタートアドレスとしてカラムアドレスカウンタ207に供給される。これによって指示されたバーストライト動作の手順もバーストリード動作と同様に行われる。但し、ライト動作にはCASレイテンシイはなく、ライトデータの取り込みは当該カラムアドレス・ライトコマンドサイクルから開始される。

【0141】(5) ブリチャージコマンド(Pt)
これはA12とA13によって選択されたメモリバンクに対するブリチャージ動作の開始コマンドとされ、/CS, /RAS, /WE=ロウレベル、/CAS=ハイレベルによって指示される。

【0142】(6) オートリフレッシュコマンド
このコマンドはオートリフレッシュを開始するために必要とされるコマンドであり、/CS, /RAS, /CAS=ロウレベル、/WE, CKE=ハイレベルによって指示される。

【0143】(7) バーストストップ・イン・フルページコマンド
フルページに対するバースト動作を全てのメモリバンクに対して停止させるために必要なコマンドであり、フルページ以外のバースト動作では無視される。このコマン

ドは、／CS、／WE=ロウレベル、／RAS、／CAS=ハイレベルによって指示される。

【0144】(8) ノーオペレーションコマンド(Nop)

これは実質的な動作を行わないこと指示するコマンドであり、／CS=ロウレベル、／RAS、／CAS、／WEのハイレベルによって指示される。

【0145】SDRAMにおいては、1つのメモリバンクでバースト動作が行われているとき、その途中で別のメモリバンクを指定して、ロウアドレスストローブ・バンクアクティブコマンドが供給されると、当該実行中的一方のメモリバンクでの動作には何ら影響を与えることなく、当該別のメモリバンクにおけるロウアドレス系の動作が可能にされる。例えば、SDRAMは外部から供給されるデータ、アドレス、及び制御信号を内部に保持する手段を有し、その保持内容、特にアドレス及び制御信号は、特に制限されないが、メモリバンク毎に保持されるようになっている。或は、ロウアドレスストローブ・バンクアクティブコマンドサイクルによって選択されたメモリプロックにおけるワード線1本分のデータがカラム系動作の前に予め読み出し動作のためにラッ奇/レジスタ213に保持されるようになっている。

【0146】したがって、例えば16ビットからなるデータ入出力端子においてデータD0-D15が衝突しない限り、処理が終了していないコマンド実行中に、当該実行中のコマンドが処理対象とするメモリバンクとは異なるメモリバンクに対するプリチャージコマンド、ロウアドレスストローブ・バンクアクティブコマンドを発行して、内部動作を予め開始させることが可能である。この実施例のSDRAMは、上記のように16ビットの単位でのメモリアクセスを行い、A0~A11のアドレスにより約1Mのアドレスを持ち、4つのメモリバンクで構成されることから、全体では約64Mビット(1M×4バンク×16ビット)のような記憶容量を持つようになる。

【0147】図26には、本発明が適用されるマイクロコンピュータシステムの一実施例のプロック図が示されている。実施例のマイクロコンピュータシステムは、特に制限されないが、電池駆動される携帯電子機器として構成される。

【0148】このマイクロコンピュータシステムは、データ処理装置(中央処理装置)を中心にしてシステムバスを介してRAM(ランダムアクセスメモリ:SDRAM)、ROM(リードオンリーメモリ)、アナログ/デジタル変換回路A/D及びデジタル/アナログ変換回路D/A、PCカードインターフェイス、LCDコントローラ等の周辺装置が接続される。

【0149】PCカードインターフェイスは、スロットにPCカードが挿入されることによって電気的に接続されて、データの書き込みや読み出しが可能にされる。P

Cカードは、脱着可能な外部記憶装置として用いられる。LCDコントローラは、データ処理装置からの表示データを受けて、液晶表示装置LCDを駆動して表示動作を行わせる。

【0150】データ処理装置は、特に制限されないが、いわゆるマイクロプロセッサと同様な構成にされる。すなわちデータ処理装置は、その詳細を図示しないけれども、その内部に命令レジスタ、命令レジスタに書き込まれた命令をデコードし、各種のマイクロ命令ないしは制御信号を形成するマイクロ命令ROM、演算回路、汎用レジスタ(RG6等)、内部バスBUSに結合するバスドライバ、バスレシーバなどの入出力回路を持つ。

【0151】データ処理装置は、リードオンリーメモリROMなどに格納されている命令を読み出し、その命令に対応する動作を行う。データ処理装置は、入出力回路を介して入力される外部データの取り込み、制御回路に対するデータの入出力、リードオンリーメモリROMからの命令や命令実行のために必要となる固定データのようなデータの読み出し、D/A変換回路へのD/A変換すべきデータの供給、A/D変換回路によってA/D変換されたデータの読み出し、ダイナミック型メモリ等からなるRAMへのデータの読み出し、書き込み動作制御等を行う。

【0152】上記のようなマイクロコンピュータシステムにおいて、この発明に係るRAMを含む各半導体集積回路装置は、システムバスが前記のようなLVTTLやLVCMOS、あるいはSSTLであっても接続することができる。機能向上のためシステムバスを上記のような高速なSSTLに変更した場合でも、それぞれの半導体集積回路装置がこの発明に係る入力回路を備えたものであれば、従前の半導体集積回路装置をそのまま利用することができる。

【0153】図27には、この発明に係る半導体集積回路装置の出力回路の一実施例の回路図が示されている。同図には、SSTLに適合するような出力回路とそれに対応した信号線路(バス)の例が示されている。出力回路は、LVTTLあるいはLVCMOSとSSTLのいずれの場合でも、Pチャンネル型出力MOSFETとNチャンネル型出力MOSFETとにより構成される。S

40 S STLでは、25Ωのような抵抗RSを介して50Ωの終端抵抗RTが設けられる。この終端抵抗RTは、VD DQ/2に対応された電圧VTTに接続される。SSTLとLVTTLでは、出力定数が異なるようにされる。

【0154】上記2つの出力定数を実現するために、2つのPチャンネル型MOSFET QP1とQP2、Nチャンネル型MOSFET QN1とQN2をそれぞれ並列形態にし、SSTLに対応してMOSFET QP1とPN1を形成して内部回路LOGで形成された出力すべき信号を供給する。他のPチャンネル型MOSFET QP2とNチャンネル型MOSFET QN2のゲートには、

前記のようなCMOSスイッチを介して上記出力すべき信号が選択的に供給される。SSTLに対応した出力動作を行うときには、制御信号SSLがハイレベルに、/SSLがロウレベルにされて、上記CMOSスイッチがオフ状態にされるとともに、出力MOSFETQP2のゲートには電源電圧VDDQが供給され、Nチャンネル型MOSFETQN2のゲートには回路の接地電位VSSが供給される。それ故、SSTLに対応した出力動作時には、出力MOSFETQP1とQN1のみが動作するようになる。

【0155】LVTTLやLVC MOSに対応した出力動作を行うときには、上記抵抗RSやRTが削除され、制御信号SSLがロウレベルに、/SSLがハイレベルにされて、上記CMOSスイッチがオン状態にされる。これにより、出力MOSFETQP2のゲートとNチャンネル型MOSFETQN2のゲートには上記Pチャンネル型MOSFETQP1のゲートとNチャンネル型MOSFETQN1のゲートとにそれぞれ接続されて、同じ出力すべき信号が伝えられる。それ故、LVTTLやLVC MOSに対応した出力動作時には、出力MOSFETQP1、QP2とQN1とQN2が並列形態で動作して大きな出力電流を形成する。

【0156】上記信号SSL(=/SSL)は、外部端子から供給された切り替え信号により形成するのが最も簡単である。これに替えて、入力信号レベルを検知して自動的に上記信号SSL(=/SSL)を発生させるようにしてもよい。あるいは、ボンディングオプションにより切り替るようにすることもできる。

【0157】上記の実施例から得られる作用効果は、下記の通りである。

(1) 外部端子から供給される入力信号を受ける差動増幅回路に第1と第2の動作電圧を第1と第2のスイッチMOSFETを介して供給するようにし、バイアス電圧発生回路により上記入力信号が上記第1と第2の動作電圧の中心電圧付近にあるときに上記第1と第2スイッチMOSFETをオン状態にし、その入力信号が継続的に一定期間上記第1電圧又は第2電圧にあるときには、それに対応した出力信号を形成すべく上記第1又は第2スイッチMOSFETのいずれか一方をオン状態に他方をオフ状態にする制御電圧を形成し、上記第1動作電圧と第2動作電圧に対応した第1振幅の入力信号と、上記第1動作電圧と第2動作電圧の間の所定の中間電圧に対応した第2振幅の入力信号の双方の供給を可能とすることにより、入力回路の簡素化と製品管理の取り扱いを簡便にしつつ、実質的な低消費電力化を実現できるという効果が得られる。

【0158】(2) 上記差動増幅回路として、上記入力信号とそのロッジックスレッシュルド電圧に対応した基準電圧とを受ける第1導電型の差動MOSFETのドレイン側に電流ミラー形態にされた第2導電型の負荷M

OSETを設け、上記差動MOSFETの共通化されたソース側にゲートに定電圧が供給される第1導電型の定電流MOSFETを設けて構成することにより、上記入力回路の簡素化と製品管理の取り扱いを簡便にしつつ実質的な低消費電力化を実現できることに加えて、入力信号のレベル判定を安定的に行うようにすることができるという効果が得られる。

【0159】(3) 上記第2導電型の負荷MOSFETに第2導電型の上記第2のスイッチMOSFETを接続し、上記第1導電型の定電流MOSFETに第1導電型の上記第1のスイッチMOSFETを接続することにより、上記入力回路の簡素化と製品管理の取り扱いを簡便にしつつ実質的な低消費電力化を実現できることに加えて、入力信号のレベル判定を安定的に行うようにすることができるという効果が得られる。

【0160】(4) 上記バイアス電圧発生回路として、上記入力信号がゲートに供給され、ソースに上記第1動作電圧が供給された第1導電型の第3MOSFETと、上記入力信号がゲートに供給され、ソースに上記第2動作電圧が供給された第2導電型の第4MOSFETと、上記第3MOSFETのドレインと第4MOSFETのドレインとの間に設けられた高抵抗手段とからなる直列回路を用い、上記第3MOSFETのドレインから上記第2スイッチMOSFETのゲートに供給される制御電圧を出力し、上記第4MOSFETのドレインから上記第1スイッチMOSFETのゲートに供給される制御電圧を出力することにより、上記差動増幅回路を用いて上記第1動作電圧と第2動作電圧に対応した第1振幅の入力信号と、上記第1動作電圧と第2動作電圧の間の所定の中間電圧に対応した第2振幅の入力信号の双方の供給を可能にしつつ、上記第1振幅入力時の動作電流を低減させることができるという効果が得られる。

【0161】(5) 上記高抵抗手段として、ゲートにそれをオン状態にさせる動作電圧が与えられ、並列形態にされた第1導電型と第2導電型の2つのMOSFETを用いることにより、上記第1動作電圧と第2動作電圧に対応した第1振幅の入力信号と、上記第1動作電圧と第2動作電圧の間の所定の中間電圧に対応した第2振幅の入力信号の双方の供給を可能にしつつ、上記第1振幅入力時の差動増幅回路での動作電流を低減を効率よく行うことができるという効果が得られる。

【0162】(6) 上記バイアス電圧発生回路として、上記入力信号がゲートに供給され、ソースに上記第1動作電圧が供給された第1導電型の第3MOSFETと、上記入力信号がゲートに供給され、ソースに上記第2動作電圧が供給された第2導電型の第4MOSFETと、上記第3MOSFETのドレインと第4MOSFETのドレインとの間に設けられた第1と第2高抵抗手段とで構成し、上記第1と第2高抵抗手段の接続点から上記第1と2スイッチMOSFETのゲートに供給される

制御電圧を出力することにより、バイアス回路の高抵抗素子のサイズを小型化できることとともに、ノードPINとNINを中間電位としてスイッチMOSFETを動作させるから、CMRRの改善が可能になるという効果が得られる。

【0163】(7) 上記バイアス電圧発生回路として、上記入力信号がゲートに供給され、ソースに上記第1動作電圧が供給された第1導電型の第3MOSFETと、上記入力信号がゲートに供給され、ソースに上記第2動作電圧が供給された第2導電型の高抵抗素子を構成するMOSFETと、上記入力信号がゲートに供給され、ソースに上記第2動作電圧が供給された第2導電型の第4MOSFETと、上記入力信号がゲートに供給され、ソースに上記第1動作電圧が供給された第1導電型の高抵抗素子を構成するMOSFETとからなるCMOS回路で構成することにより、バイアス回路の高抵抗素子のサイズを小型化と定数設定が容易にできるという効果が得られる。

【0164】(8) 上記入力回路に供給される入力信号は、クロック信号とそれに対応して供給される複数からなる入力信号とし、そのうち上記クロック信号を除く入力信号を受ける入力回路のそれぞれを上記第3MOSFETと第4MOSFETの間に設けられる高抵抗素子を構成する並列形態の2つのMOSFETと、上記定電流MOSFETとを上記外部入力信号の供給が停止される所定の動作モードにおいて強制的にオフ状態にする回路と、差動增幅回路の出力信号を第1動作電圧又は第2動作電圧に固定するMOSFETとを更に設けることにより、半導体集積回路装置が実質的な動作を行わないスタンバイモードでの入力回路の低消費電力化を図ることができるという効果が得られる。

【0165】(9) 複数のワード線及びそれらと交差するように配置された複数のビット線と、上記複数のワード線と複数のビット線との所定の交点に設けられ、対応するワード線にゲートが接続されたアドレス選択MOSFETと、対応するビット線と所定の電位との間に上記アドレス選択MOSFETを介して接続される記憶キャッシュとからなるメモリセルを備えたダイナミック型RAMの入力回路に適用することにより、製品管理の取り扱いを簡便にしつつ、実質的な低消費電力化を実現できるという効果が得られる。

【0166】(10) 複数のワード線及びそれらと交差するように配置された複数のビット線と、上記複数のワード線と複数のビット線との所定の交点に設けられ、対応するワード線にゲートが接続されたアドレス選択MOSFETと、対応するビット線と所定の電位との間に上記アドレス選択MOSFETを介して接続される記憶キャッシュとからなるメモリセルを備えたダイナミック型RAMの入力回路に適用し、かつ上記データ信号を受ける入力回路としては、上記第1と第2スイッチMOS

FETを省略することにより、入力回路の簡素化と製品管理の取り扱いを簡便にしつつ、実質的な低消費電力化を実現できるという効果が得られる。

【0167】(11) 外部端子から供給される入力信号を受ける入力回路として、第1導電型の差動MOSFETと、その共通ソースに設けられて動作電流を形成する第1導電型の第1MOSFETとを含む第1差動増幅回路と、第2導電型の差動MOSFET、その共通ソースに設けられて動作電流を形成する第2導電型の第2MOSFETとを含む第2差動増幅回路及び出力信号を形成するインバータ回路とを組み合わせ、上記第1と第2差動増幅回路の一方の入力端子に外部端子から入力信号を供給し、上記第1と第2差動増幅回路の他方の入力端子に上記入力信号のハイレベルとロウレベルのほぼ中間電位にされた基準電圧を供給し、上記第1と第2差動増幅回路の互いに同相とされた出力信号を合成して上記インバータ回路の入力端子に供給することにより、出力に影響するフローティングノードの発生することなく遅延時間のばらつきが小さくて、素子の微細化にも適合して安定した入出力伝達特性を得ることができるという効果が得られる。

【0168】(12) 上記第1差動増幅回路に第2導電型からなる電流ミラー形態の第1負荷回路を設け、上記第2差動増幅回路に第1導電型からなる電流ミラー形態の第2負荷回路を設け、上記第1の負荷回路と第1動作電圧との間に、第2導電型の第3MOSFETを設け、上記第2の負荷回路と第2動作電圧との間に、第1導電型の第4MOSFETを設け、パワーダウン信号により、上記第1ないし第4MOSFETのいずれかをオフ状態にし、上記出力端子を上記パワーダウン信号によりオン状態にされるMOSFETによって上記第1又は第2動作電圧に固定することにより、パワーダウンモードでの低消費電力化と出力信号の安定化を図ることができるという効果が得られる。

【0169】(13) 上記第1と第2MOSFETのゲートには、上記インバータ回路の出力信号を帰還し、上記パワーダウン信号により固定電位にされた出力端子の信号を受けるインバータ回路の出力信号によりオン状態にされる第1又は第2MOSFETに対応された上記第3又は第4MOSFETのいずれかを、上記パワーダウン信号によりオフ状態にさせることにより、LVTTL入力時の待機電流を小さく、遅延時間のばらつきが小さしつつ、パワーダウンモードでの低消費電力化と出力信号の安定化を図ることができるという効果が得られる。

【0170】(14) 上記入力信号を受け、その信号レベルが上記第1と第2の電源電圧の中心電圧付近にあるとき上記第1と第2MOSFETをオン状態にし、その入力信号が所定期間上記第1電圧又は第2電圧にあるときには、それに対応した出力信号を形成すべく上記

第1又は第2MOSFETのいずれか一方をオン状態に他方をオフ状態にする制御電圧を発生するバイアス電圧発生回路を更に備え、上記第1動作電圧と第2動作電圧に対応した比較的大きな信号振幅とされた第1振幅の入力信号と、上記第1動作電圧と第2動作電圧の間の所定の中間電圧に対応した比較的小さな第2振幅の入力信号の双方の入力信号の供給を可能とすることにより、入力回路の簡素化と製品管理の取り扱いを簡便にしつつ、低消費電力化と出力に影響するフローティングノードを防止し遅延時間のばらつきが小さくすることができるという効果が得られる。

【0171】(15) 上記第1と第2MOSFETは、上記第1振幅の入力信号が供給される第1動作モードに対応したMOSFETと、上記第2振幅の入力信号が供給される第2動作モードに対応したMOSFETとの並列回路とし、上記第1動作モードに対応したMOSFETのゲートには、上記バイアス電圧発生回路で形成された制御信号を供給し、上記第2動作モードに対応したMOSFETのゲートには、上記インバータ回路の出力信号を帰還することにより、それぞれの動作モードに対応した動作を行わせることができるという効果が得られる。

【0172】(16) 上記バイアス電圧発生回路として、上記入力信号がゲートに供給され、ソースに上記第1動作電圧が供給された第1導電型の第5MOSFETと、上記入力信号がゲートに供給され、ソースに上記第2動作電圧が供給された第1導電型の第6MOSFETと、上記第5MOSFETのドレインと第6MOSFETのドレインとの間に設けられた第1と第2高抵抗手段とを用たCMOS回路とすることにより、定数設定が容易にできるという効果が得られる。

【0173】(17) 複数のワード線及びそれらと交差するように配置された複数のビット線と、上記複数のワード線と複数のビット線との所定の交点に設けられ、対応するワード線にゲートが接続されたアドレス選択MOSFETと、対応するビット線と所定の電位との間に上記アドレス選択MOSFETを介して接続される記憶キャッシュとからなるメモリセルを備えたダイナミック型RAMの入力回路に適用することにより、製品管理の取り扱いを簡便にしつつ、低消費電力化出力に影響するフローティングノードの発生することなく、遅延時間のばらつきが小さくすることができるという効果が得られる。

【0174】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、図23又は図24に示したダイナミック型RAMにおいてメモリアレイ、サブアレイ及びサブワードドライバの構成は、種々の実施形態を探ることができるし、ダイナミッ

ク型RAMの入出力インターフェイスは、シンクロナス仕様の他にランバス仕様等に適合したもの等種々の実施形態を探ることができるるものである。ワード線は、前記のような階層ワード線方式の他にワードシャント方式を探るものであってもよい。

【0175】半導体集積回路装置は、前記のようなDRAMの他にスタティック型RAMやEPROM、あるいはEEPROMのような読み出し専用メモリ、あるいはマイクロプロセッサのようなデジタル集積回路であってもよい。この発明は、LVTTL、LVCMOSあるいはSSTLのようなインターフェイスで接続される各種半導体集積回路装置に広く利用できる。

【0176】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、外部端子から供給される入力信号を受ける差動增幅回路に第1と第2の動作電圧を第1と第2のスイッチMOSFETを介して供給するようにし、バイアス電圧発生回路により上記入力信号が上記第1と第2の動作電圧の中心電圧付近にあるときに上記第1と第2スイッチMOSFETをオン状態にし、その入力信号が継続的に一定期間上記第1電圧又は第2電圧にあるときには、それに対応した出力信号を形成すべく上記第1又は第2スイッチMOSFETのいずれか一方をオン状態に他方をオフ状態にする制御電圧を形成し、上記第1動作電圧と第2動作電圧に対応した第1振幅の入力信号と、上記第1動作電圧と第2動作電圧の間の所定の中間電圧に対応した第2振幅の入力信号の双方の供給を可能とすることにより、入力回路の簡素化と製品管理の取り扱いを簡便にしつつ、実質的な低消費電力化を実現できる。

【0177】本願において開示される発明のうち他の代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、外部端子から供給される入力信号を受ける入力回路として、第1導電型の差動MOSFETと、その共通ソースに設けられて動作電流を形成する第1導電型の第1MOSFETとを含む第1差動増幅回路と、第2導電型の差動MOSFET、その共通ソースに設けられて動作電流を形成する第2導電型の第2MOSFETとを含む第2差動増幅回路及び出力信号を形成するインバータ回路とを組み合わせ、上記第1と第2差動増幅回路の一方の入力端子に外部端子から入力信号を供給し、上記第1と第2差動増幅回路の他方の入力端子に上記入力信号のハイレベルとロウレベルのほぼ中間電位にされた基準電圧を供給し、上記第1と第2差動増幅回路の互いに同相とされた出力信号を合成して上記インバータ回路の入力端子に供給することにより、出力に影響するフローティングノードの発生することなく、遅延時間のばらつきが小さくすることができる。

50 【図面の簡単な説明】

【図 1】この発明に係る半導体集積回路装置に設けられる入力回路の一実施例を示す構成図である。

【図 2】この発明に係る入力回路の一実施例を示す回路図である。

【図 3】図 2 のバイアス電圧発生回路の入出力電圧特性図である。

【図 4】図 2 の入力回路のシミュレーション結果を示す波形図である。

【図 5】この発明に係る入力回路の動作の一例を示す波形図である。

【図 6】この発明に係る入力電圧トラッキング型バイアス電圧発生回路の他の一実施例を示す回路図である。

【図 7】この発明に係る入力電圧トラッキング型バイアス電圧発生回路の更に他の一実施例を示す回路図である。

【図 8】この発明に係る入力回路の他の一実施例を示す回路図である。

【図 9】図 7 の入力電圧トラッキング型バイアス電圧発生回路の入出力電圧特性図である。

【図 10】この発明に係る入力回路の更に他の一実施例を示す回路図である。

【図 11】図 8 の入力回路の動作の一例を説明するための波形図である。

【図 12】この発明に係る入力回路の更に一実施例を示す回路図である。

【図 13】この発明に係る入力回路の SSTL インターフェイス時の動作を説明するための特性図である。

【図 14】この発明に係る入力回路の LVTTL インターフェイス時の動作を説明するための特性図である。

【図 15】この発明に係る入力回路の更に一実施例を示す回路図である。

【図 16】図 12 の入力回路に用いられる信号発生回路の一実施例を示す回路図である。

【図 17】図 15 の入力回路に用いられる信号発生回路の一実施例を示す回路図である。

【図 18】この発明に係る入力回路の更に一実施例を示す回路図である。

【図 19】この発明に係る入力回路の更に一実施例を示す回路図である。

【図 20】この発明に係る入力回路の更に一実施例を示す回路図である。

【図 21】この発明に係る入力回路の更に一実施例を示す回路図である。

【図 22】この発明に係る入力回路の更に一実施例を示す回路図である。

【図 23】この発明が適用されるダイナミック型 RAM の一実施例を示す概略レイアウト図である。

【図 24】この発明に係るダイナミック型 RAM のセンスアンプ部を中心としたアドレス入力からデータ出力までの簡略化された一実施例を示す回路図である。

【図 25】この発明が適用される SDRAM の一実施例を示す全体ブロック図である。

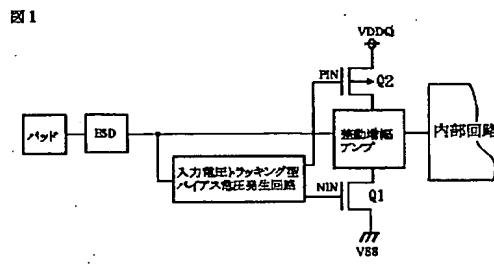
10 【図 26】本発明が適用されるマイクロコンピュータシステムの一実施例を示すブロック図である。

【図 27】この発明に係る半導体集積回路装置における出力回路の一実施例を示す回路図である。

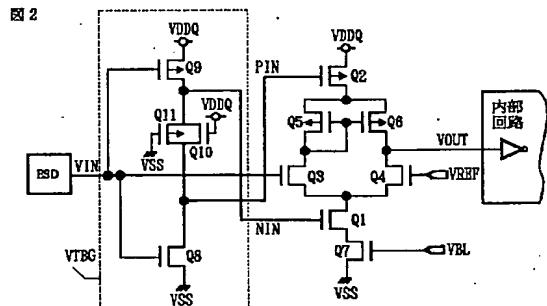
【符号の説明】

ESD…静電保護回路、VTBG…バイアス電圧発生回路、PIN, NIN…ノード、Q1～Q19…MOSFET、IV1～IV4, INV…インバータ回路、NMOS-AMP…NMOS入力の差動アンプ、PMOS-AMP…PMOS入力の差動アンプ、LVC1, LVC2…レベル変換回路、NAG1… NANDゲート回路、NOG1…ノアゲート回路、MS1～MS13…スイッチ、YDC…Yデコーダ、MA…メインアンプ、COLRED…Y系救済回路、COLPDC…Y系プリデコーダ、ROWRED…X系救済回路、ROWPDC…X系プリデコーダ、SA…センスアンプ、SWD…サブワードドライバ、MWD…メインワードドライバ、I1, I2…デコーダ、メインワードドライバ、I5…サブアレイ、I6…センスアンプ、I7…サブワードドライバ、I8…クロスエリア、S1…アドレスバッファ、S2…プリデコーダ、S3…デコーダ、S4…メインアンプ、S5…出力バッファ、S6…入力バッファ、S10…モードレジスタ、S20…コマンドデコーダ、S30…タイミング発生回路、S30…クロックバッファ、S200A～S200D…メモリアレイ、S201A～S201D…ロウデコーダ、S202A～S202D…センスアンプ及びカラム選択回路、S203A～S203D…カラムデコーダ、S205…カラムアドレスバッファ、S206…ロウアドレスバッファ、S207…カラムアドレスカウンタ、S208…リフレッシュカウンタ、S209…コントローラ、S210…入力バッファ、S211…出力バッファ、S212A～S212D…メインアンプ、S213…ラッチ/レジスタ、S214A～S214D…ライトバッファ。

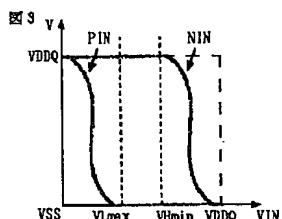
【図1】



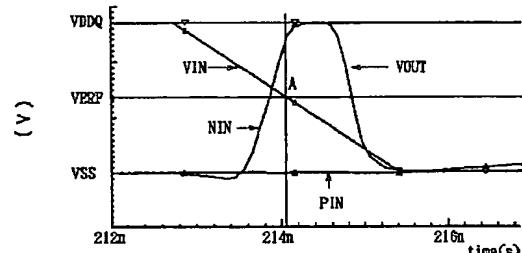
【図2】



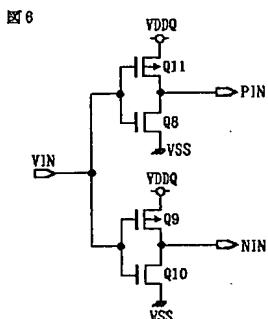
【図3】



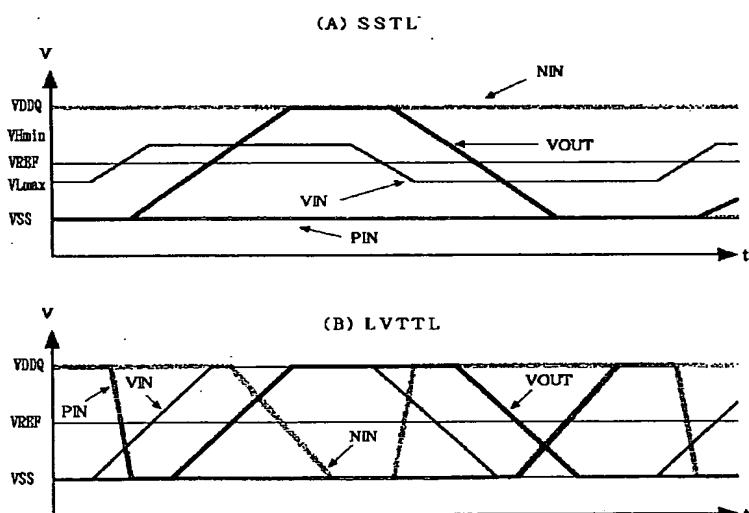
【図4】



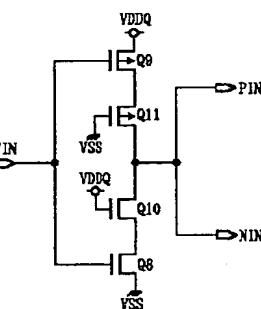
【図6】



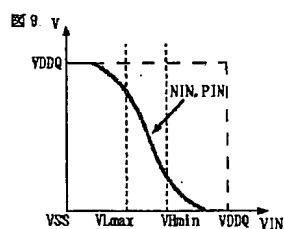
【図5】



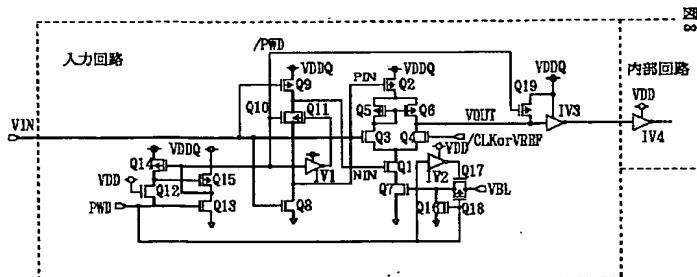
【図7】



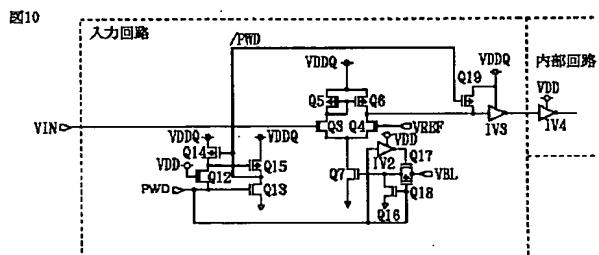
【図9】



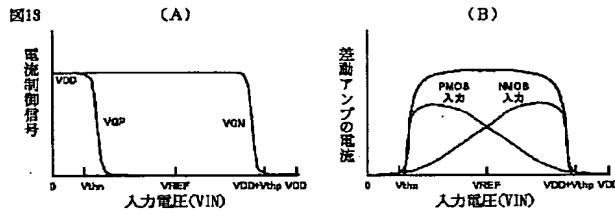
【図8】



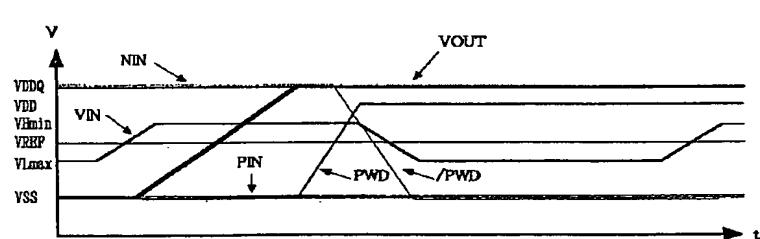
【図10】



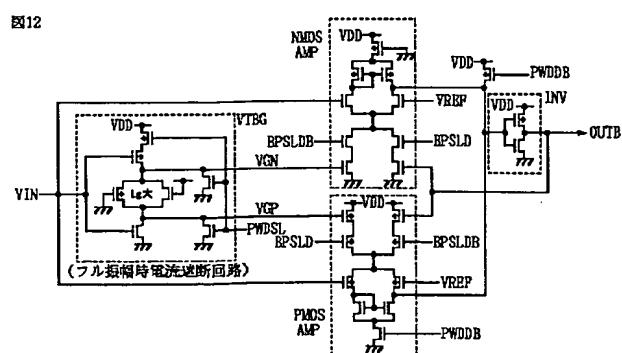
【図13】



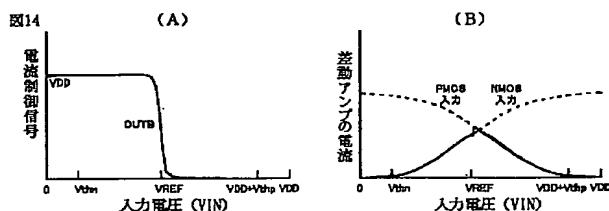
【図11】



【図12】

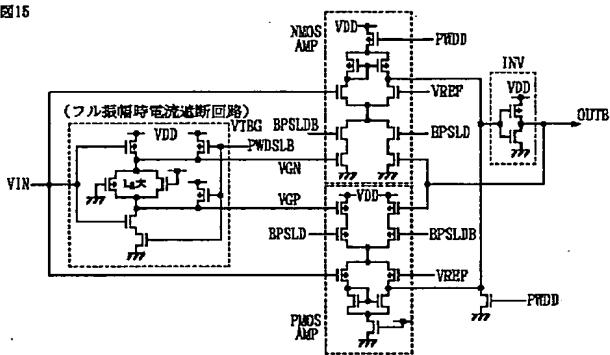


【図14】



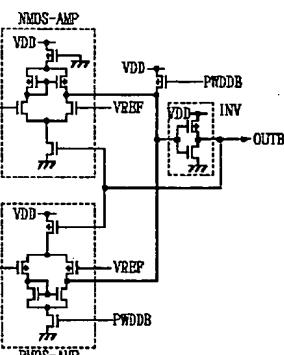
【図15】

図15

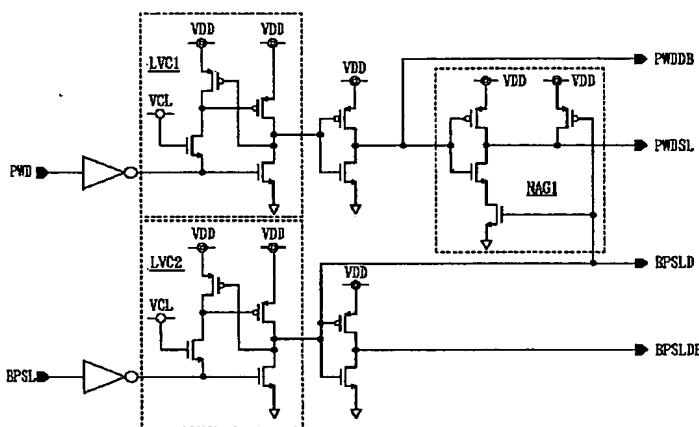


【図19】

図19

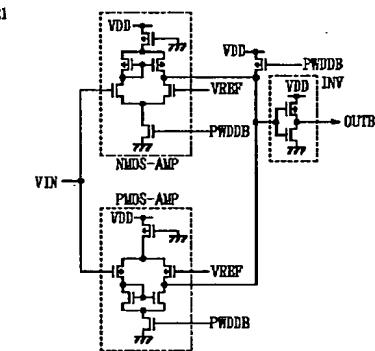


【図16】

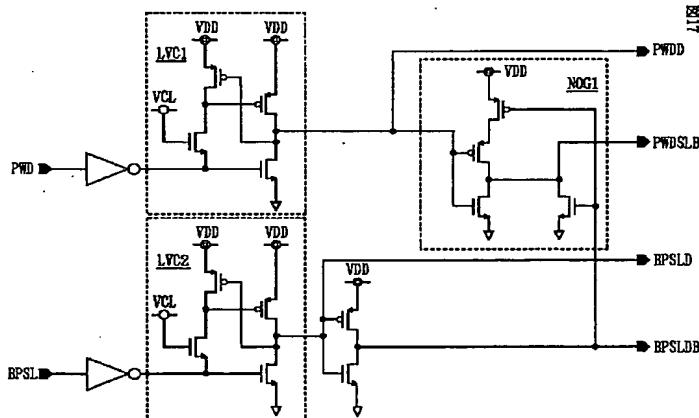


【図21】

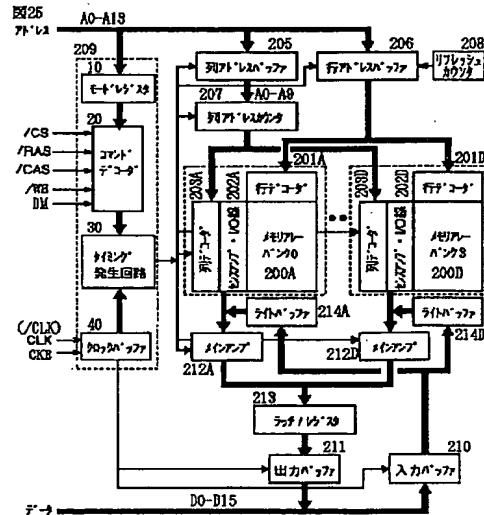
図21



【図17】

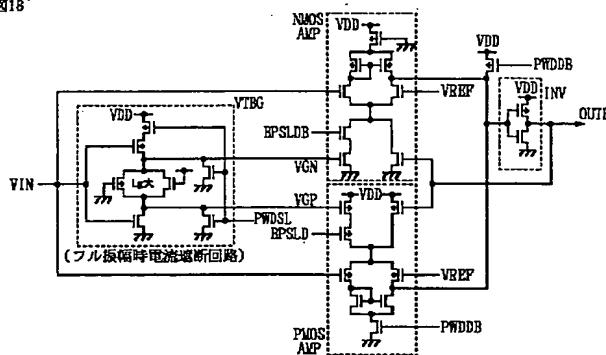


【図25】



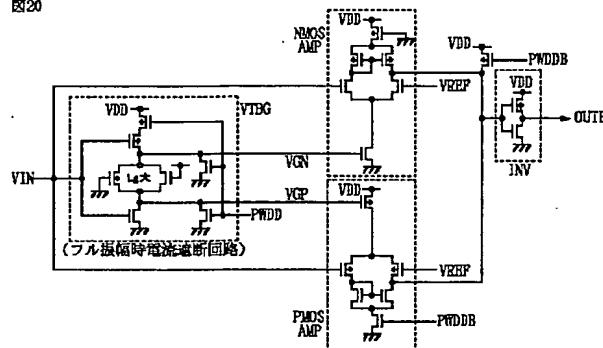
[図18]

図18



[図20]

図20



[図22]

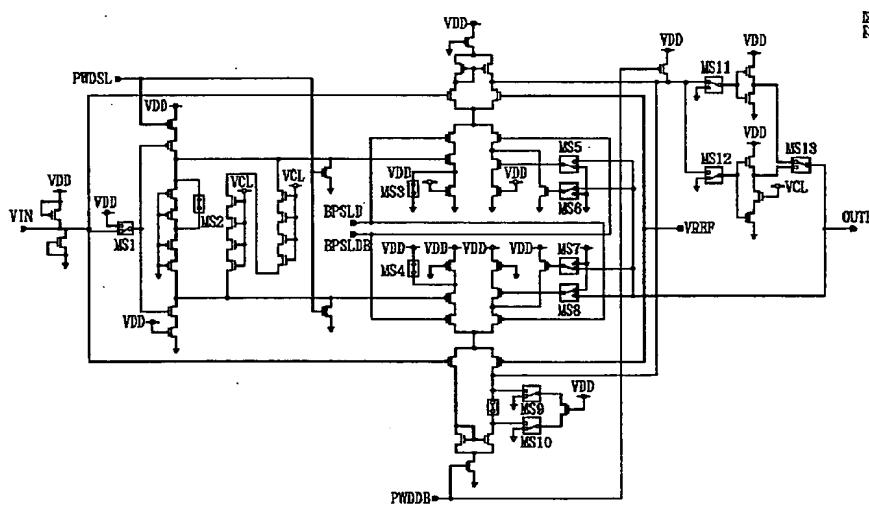


図22

[図26]

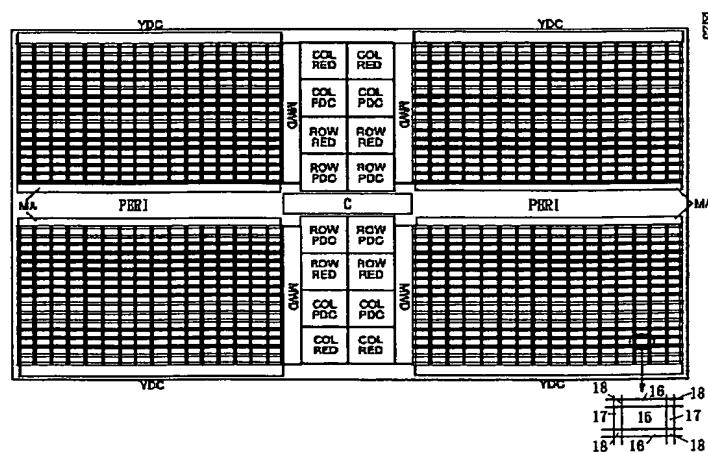
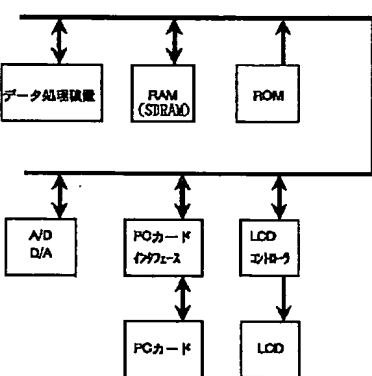
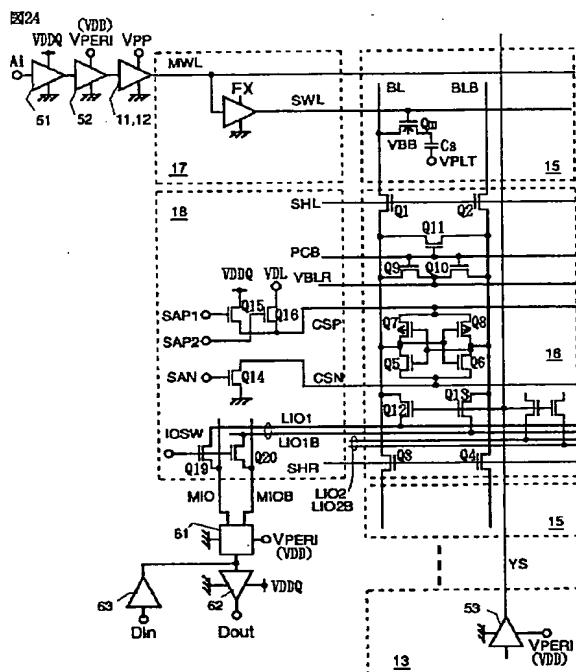


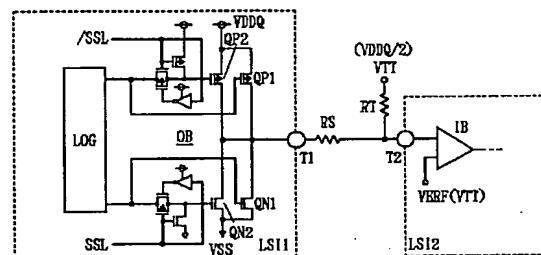
図26



【図24】



【図27】



フロントページの続き

(51)Int.Cl.
H 03 K 19/0175

識別記号

F I

テーマコード(参考)

(72)発明者 田中 均
東京都小平市上水本町5丁目22番1号 日立超エル・エス・アイ・システムズ内
(72)発明者 永島 靖
東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内
(72)発明者 大井 雅史
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72)発明者 森田 貞幸
東京都小平市上水本町5丁目22番1号 日立超エル・エス・アイ・システムズ内
F ターム(参考) 5B015 HH01 HH03 JJ03 JJ31 KB36
5B024 AA01 AA07 BA29 CA07
5B025 AD01 AD04 AE06
5F083 AD00 BS00 EP00 GA05 GA09
LA07
5J056 AA01 BB17 BB59 CC00 CC01
DD13 DD29 FF06 FF08 HH04
KK03